

平成 28 年 2 月 3 日

電子デバイス期末試験

担当 吉川信行

1. 図のような不純物濃度分布の pn 接合においてドナ密度 N_D がアクセプタ密度 N_A より非常に大きく、空乏層はすべて p 側に広がっているものとして次の問いに答えよ。ただし、境界条件は $x=0$ で $V=0$ 、 $x=l$ で $E=-dV/dx=0$ とする。

(1) pn 接合の接合領域の電荷分布を図示せよ。

(2) p 領域 ($x>0$) におけるポアソンの方程式

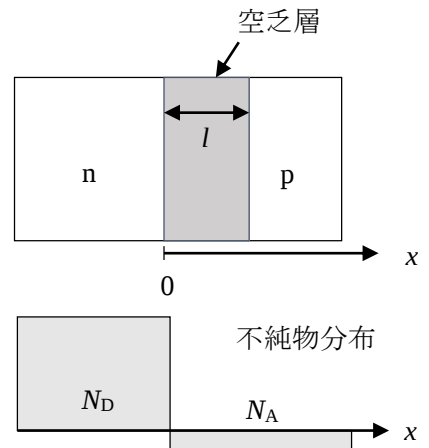
$$\frac{d^2V}{dx^2} = -\frac{\rho}{\epsilon} = \frac{eN_A}{\epsilon}$$

を解いて、電荷分布 $E(x)=-dV/dx$ を求め、図示せよ。

(3) 電界の絶対値の最大値を求めよ。

(4) p 領域中の電位分布 $V(x)$ を求め図示せよ。

(5) 空乏層幅 l を拡散電位 V_d を用いて表せ。



2. バイポーラトランジスタに関する以下の問いに答えよ。

(1) ベース接地 npn バイポーラトランジスタのバンド図とバイアス回路を示し、電力増幅の原理を説明せよ。

(2) バイポーラトランジスタのベース接地電流増幅率を α とする時、エミッタ接地電流増幅率 β を求めよ。また、エミッタ接地電流増幅率 β が 1 以上になるための α の条件を求めよ。

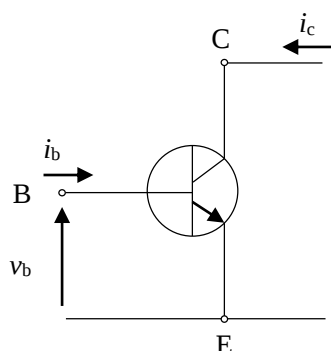
(3) エミッタ接地バイポーラトランジスタのコレクタ電流が

$$i_c \cong i_{c0} \exp\left(\frac{ev_b}{kT}\right)$$

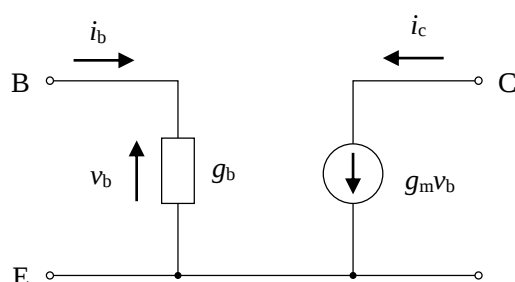
ベース電流が

$$i_b \cong i_{b0} \exp\left(\frac{ev_b}{kT}\right)$$

で与えられる時、下図の等価回路において相互コンダクタンス g_m ならびに入力コンダクタンス g_b を求めよ。



エミッタ接地回路



エミッタ接地小信号等価回路

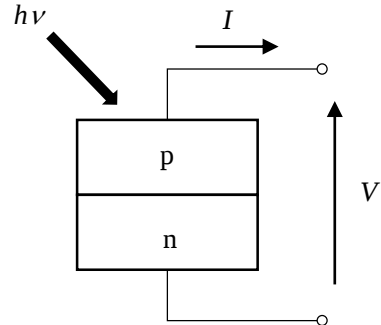
3. 図のような pn 接合からなる太陽電池がある。これに半導体のエネルギーギャップ E_g よりも大きいエネルギーを持つ光が照射され、接合には光電流 I_{sc} が流れているものとする。

- (1) 接合に光電流が流れる理由をバンド図を用いて説明せよ。
- (2) 光が照射された時の太陽電池の等価回路を示せ。ただし、電流源 I_{sc} を明記すること。
- (3) pn 接合の電圧電流特性が、 a を定数として

$$I = I_s \left[\exp\left(\frac{eV}{kT}\right) - 1 \right] \approx aV^2$$

と近似されるとき、太陽電池の出力電圧 V と出力電流 I の関係を表す関係式を示し、 I - V 特性を図示せよ。

- (4) 太陽電池から取り出し得る最大電力 P_{max} を求めよ。

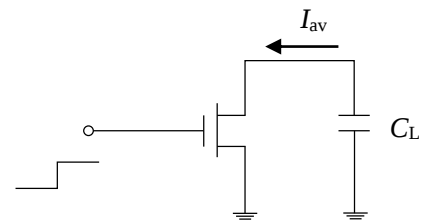


4. n チャネル MOSFET の飽和領域でのドレイン電流 I_D が次式で与えられているものとする。

$$\text{飽和領域} \quad I_D = \frac{\beta}{2} (V_G - V_T)^2 \quad \text{ただし、} \beta = \frac{C_{ox} \mu W}{L}$$

ここで、 V_G はゲート電圧、 V_T はしきい値電圧、 C_{ox} はゲートキャパシタンス、 L はゲート長、 W はゲート幅、 μ は電子移動度である。MOSFET を用いた CMOS インバータが、出力”1”状態から出力”0”状態に遷移するまでの遅延時間を以下の手順に従って求めよ。ただし、電源電圧を $V_{DD}=5.0$ V、nMOS トランジスタのパラメータを $\beta=200$ mA/V²、 $V_T=1.0$ V、負荷容量を $C_L=1$ pF とする。

- (1) NMOS は飽和領域にあるとして、nMOS トランジスタの平均電流を求めよ。
- (2) 論理回路における高電位を $V_{OH}=V_{DD}$ 、低電位を $V_{OL}=0$ V として、遅延時間を求めよ。
- (3) 回路のスピードを上げるためには、 V_{DD} , C_L , C_{ox} , μ , L , W の各パラメータをどのようにすればよいか、式を用いて説明せよ。



5. CMOS 論理回路に関する以下の問いに答えなさい。

- (1) 2 入力 CMOS NAND ゲートの真理値表と回路図を示せ。
- (2) 右図の CMOS 論理ゲートの論理式を示せ。
- (3) 論理関数 $f = \overline{A \cdot B + C}$ を実現する CMOS 論理回路の回路図を示せ。

