

# 18. コンパイル

右クリックで、「Run」を選択

Messages

Message	Message ID	Source Location	Log Location
Implementation			
Synthesize [top] (C:\Xilinx\15.1\			
Running in 64-bit mode	CD720	std\vhdl\146	top.amc\11
Setting time resolution to ps			top.amc\11
Top entity is set to top.			top.amc\11
Using onehot encoding for type multiplex. For example, enumeration 'IF' is mapped to '1000000000'.	CD231	std\vhdl\146	top.amc\11
Synthesizing work.top.rtl	CD300	top.amc\11	top.amc\11
Running in 64-bit mode.	MF248		top.amc\11
Clock conversion disabled. (Command "set_option -fix_gated_and_generated_clocks 0" in the project file.)	MF667		top.amc\11

論理合成に成功していれば、コンパイルを実行することが出来る。コンパイルは、論理合成したロジックを対象のデバイス用にモディファイしてくれる。そのため、論理合成は成功していてもピン数とかRAMサイズが足りないとエラーとなる。

# 19. コンパイル後

ここにコンパイルのレポートが表示される。  
使用するロジック数やRAM領域等の情報が表示されるので、参考にする。

Libero - C:\Actelprj\test00\_helloworld\test00\_helloworld.prj

Project File Edit View Design Tools Help

Design Flow

Tool

- Create Design
  - Create SmartDesign
  - Create HDL
  - Create SmartDesign Testbench
  - Create HDL Testbench
  - View/Configure Firmware Cores
  - Verify the Synthesized Design
- Simulate
- Constraint Design
  - Import I/O Constraints
  - Import Timing Constraints
  - Implement Design
- Synthesize
  - Constraints
  - synthesizing.sdc
  - Verify Back/Forward Synthesis Implementation
- Simulate
- Compile
  - synthesizing.sdc
  - Constraints
  - Create/Edit I/O Attributes
  - Create/Edit Timing Constraints
  - Floorplan
  - Place and Route
  - Verify Root Layout Implementation
  - Simulate
  - Verify Timing
  - Verify Power
  - Export Back Annotated Files
  - Generate Programming Data
  - Program Design
  - Program Device

Design H... Stimulus H... Catalog Files HDL Te...

Project Summary

- test00\_helloworld.log
- top reports
  - top
  - top\_DataSheet.html
  - top\_manifest.txt
  - top\_report\_pin\_dynanet.txt
  - top\_report\_pin\_dynanet.txt
- Synthesize
  - synthesizing.log
  - top.sdc
  - top\_manifest.txt
  - top\_options.txt
  - Post-Synthesis Simulate
  - tb\_top\_postsynth\_simulati...
- Compile
  - top\_compile.log.rpt
  - top\_compile\_report.txt
- Non root components
  - tb\_top
  - tb\_top\_manifest.txt

Microsemi Libero Software

Version: 11.0.3.4

Release: 11.0.0.0

Created a new design.

'BA\_NAME' set to 'top\_ha'

'IDE\_DESIGNVIEW\_NAME' set to 'Impl1'

'IDE\_DESIGNVIEW\_COUNT' set to '1'

'IDE\_DESIGNVIEW\_REV0' set to 'Impl1'

'IDE\_DESIGNVIEW\_REV0NS' set to '1'

'IDE\_DESIGNVIEW\_ROOTDIR' set to 'C:\Actelprj\test00\_helloworld\designer'

'DESIGN' set to 'C:\Actelprj\test00\_helloworld\designer\impl1'

'BA\_DIR' set to 'C:\Actelprj\test00\_helloworld\designer\impl1'

'BA\_WELLIST\_ALSO' set to '1'

'ENGINEFLAVOR' set to 'GENERIC'

'NETLIST\_NAMEING\_STYLE' set to 'VHDLS3'

'EXPORT\_STATUS\_REPORT' set to '1'

'EXPORT\_STATUS\_REPORT\_FILENAME' set to 'top\_xpt'

'ADDIT\_NETLIST\_FILE' set to '1'

'ADDIT\_DCF\_FILE' set to '1'

'ADDIT\_PIN\_FILE' set to '1'

'ADDIT\_AIG\_FILE' set to '1'

Netlist Reading Time = 1.0 seconds

Imported the file:

C:\Actelprj\test00\_helloworld\synthesizing\top.edn

The Import command succeeded (00:00:05)

Design saved to file top.edn.

Parameters used to run compiler:

Family: ProASIC3

Device: ASPR250

Package: 100 VQFP

Source: C:\Actelprj\test00\_helloworld\synthesizing\top.edn

Messages

Message	Message ID	Source Location	Log Location
Using oneshot encoding for type multiplex. For example, enumeration '1' is mapped to "1000000000".	CD031	stdlib354.chd0090	top.edn230
Synthesizing work.top.rtl	CD030	top.chd117	top.edn230
Running in 64-bit mode.	MF248	-	top.edn300
Clock conversion disabled. [Command 'set_option -fx_gated_and_generated_clocks 0' in the project file.]	MF607	-	top.edn310
Writing default property annotation file C:\Actelprj\test00_helloworld\synthesizing\top.sap.	BN225	-	top.edn320
This timing report is an estimate of place and route data. For final timing results, use the FPGA vendor place and route report.	MT320	-	top.edn330
Clock constraints include only register-to-register paths associated with each individual clock.	MT322	-	top.edn334

Please refer to the log file for details.

top\_compile\_log.rpt

Log Cores

Find Next Previous Find All Search in Match case Match whole word

Font: ProASIC3 Part: ASPR250-1VQ100 VHDL

コンパイルに成功していれば、緑色のチェックが付いている。  
失敗すると赤色の×が付く。

## 20. ピンアサイン

コンパイルしたロジックのピンアサインを設定する。  
何もしないとソフトが良かれと思ったピンアサインに設定する。  
ダブルクリックで起動する。

Netlist Reading Time = 1.0 seconds  
Imported the file:  
C:\xactelprj\test00\_helloworld\synthres\settop.edn  
The Import command succeeded (00:00:05)  
Design saved to file top.edb.  
Parameters used to run compiler:  
Family : ProASIC3  
Device : A3P1K250  
Package : 100 VQFP  
Source : C:\xactelprj\test00\_helloworld\synthres\settop.edb

Message	Message ID	Source Location	Log Location
Using oneshot encoding for type multiplex. For example, enumeration 'U' is mapped to "000000000".	CD031	stdlib\std0090	top.edi
Synthesizing work.top.rtl	CD030	top.vhdl.17	top.edi
Running in 64-bit mode.	MF248	-	top.edi
Click conversion disabled. [Command "set_option -fix_gated_and_generated_clocks 0" in the project file.]	MF607	-	top.edi
Writing default property annotation file C:\xactelprj\test00_helloworld\synthres\settop.sap.	BN225	-	top.edi
This timing report is an estimate of place and route data. For final timing results, use the FPGA vendor place and route report.	MT320	-	top.edi
Click constraints include only register-to-register paths associated with each individual clock.	MT322	-	top.edi

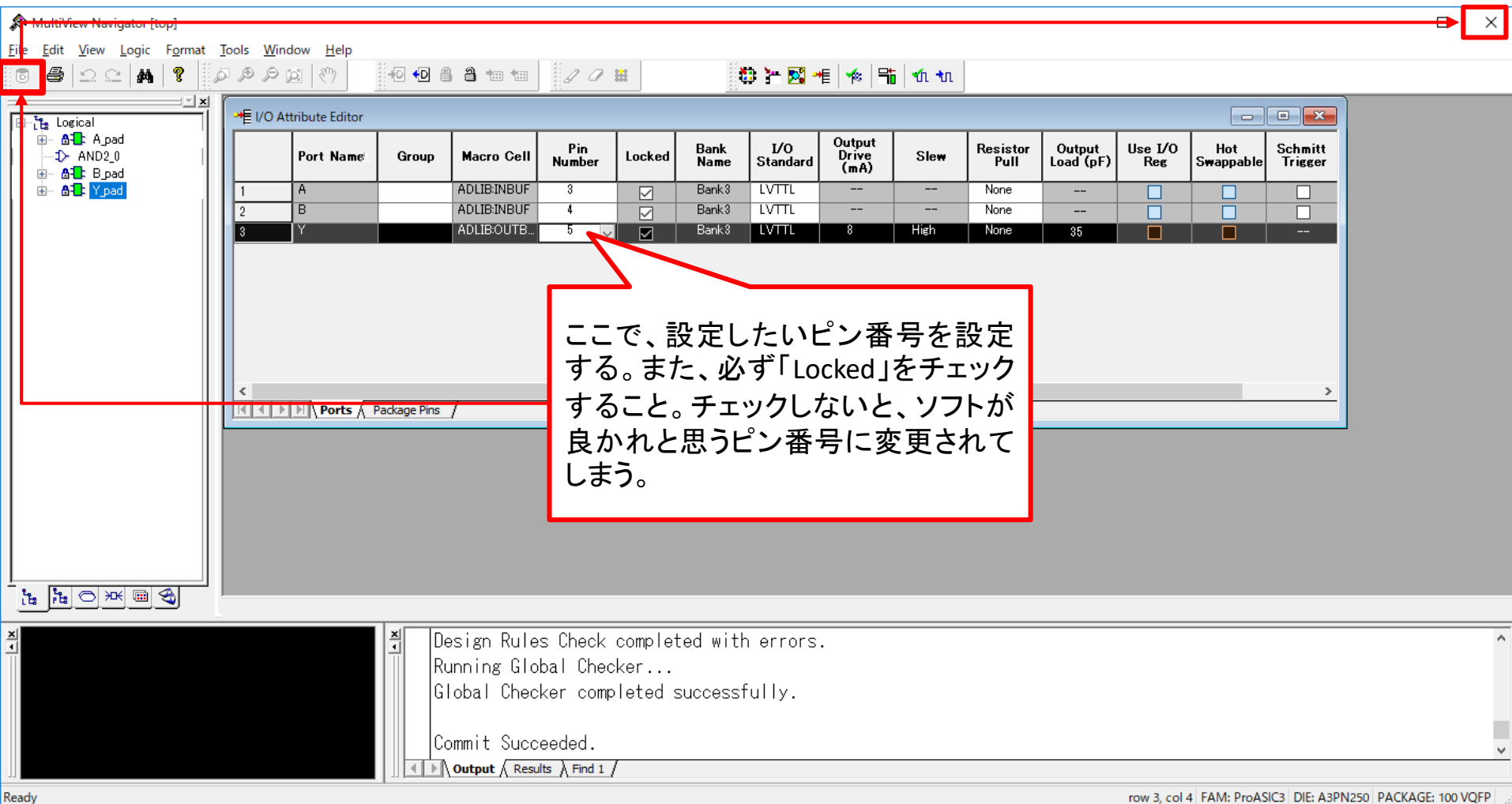
Complete [task]  
Please refer to the log file for details.  
top\_compile\_log.txt

Log Cores  
Find Next Previous Find All Search in Match case Match whole word

Font: ProASIC3 Part: A3P1K250-1VQ100 VHDL

ダブルクリックすると、設定用の別ソフトが起動する。

# 21. ピンアサインの設定



MultiView Navigator [top]

File Edit View Logic Format Tools Window Help

Logical

- A\_pad
- AND2\_0
- B\_pad
- Y\_pad

I/O Attribute Editor

	Port Name	Group	Macro Cell	Pin Number	Locked	Bank Name	I/O Standard	Output Drive (mA)	Slew	Resistor Pull	Output Load (pF)	Use I/O Reg	Hot Swappable	Schmitt Trigger
1	A		ADLIB:INBUF	3	<input checked="" type="checkbox"/>	Bank3	LVTTTL	--	--	None	--	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
2	B		ADLIB:INBUF	4	<input checked="" type="checkbox"/>	Bank3	LVTTTL	--	--	None	--	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
3	Y		ADLIB:OUTB...	5	<input checked="" type="checkbox"/>	Bank3	LVTTTL	8	High	None	35	<input type="checkbox"/>	<input type="checkbox"/>	--

ここで、設定したいピン番号を設定する。また、必ず「Locked」をチェックすること。チェックしないと、ソフトが良かれと思うピン番号に変更されてしまう。

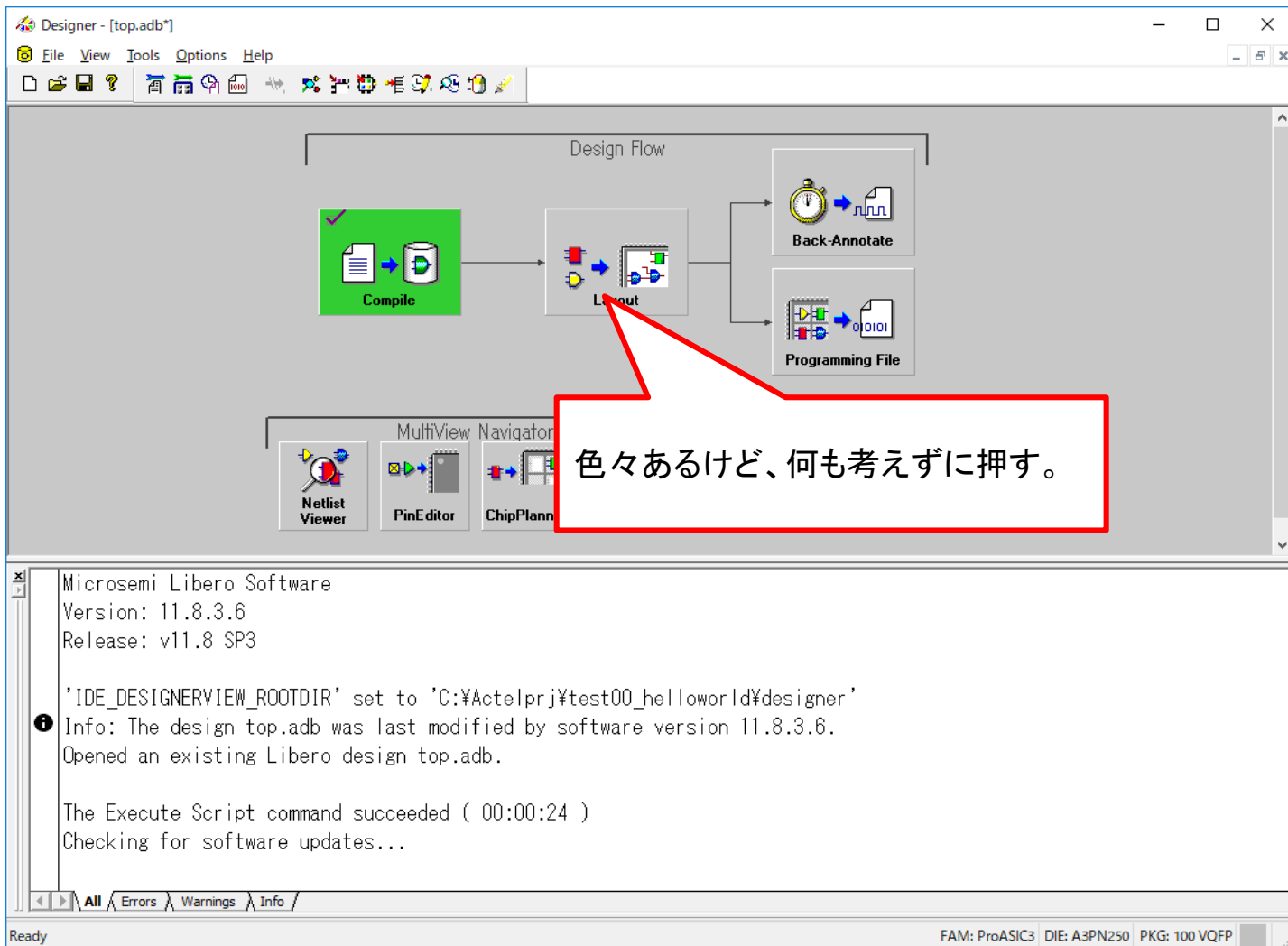
Design Rules Check completed with errors.  
Running Global Checker...  
Global Checker completed successfully.  
Commit Succeeded.

Output Results Find 1 /

row 3, col 4 FAM: ProASIC3 DIE: A3PN250 PACKAGE: 100 VQFP

ロジックによっては、設定出来ないピン番号が発生することがある（FPGA内で遠すぎたりするため配線できない）。そのため回路設計には注意が必要。  
ピンアサインに問題がなければ、左上のCommitを押す。その後、画面を閉じる。

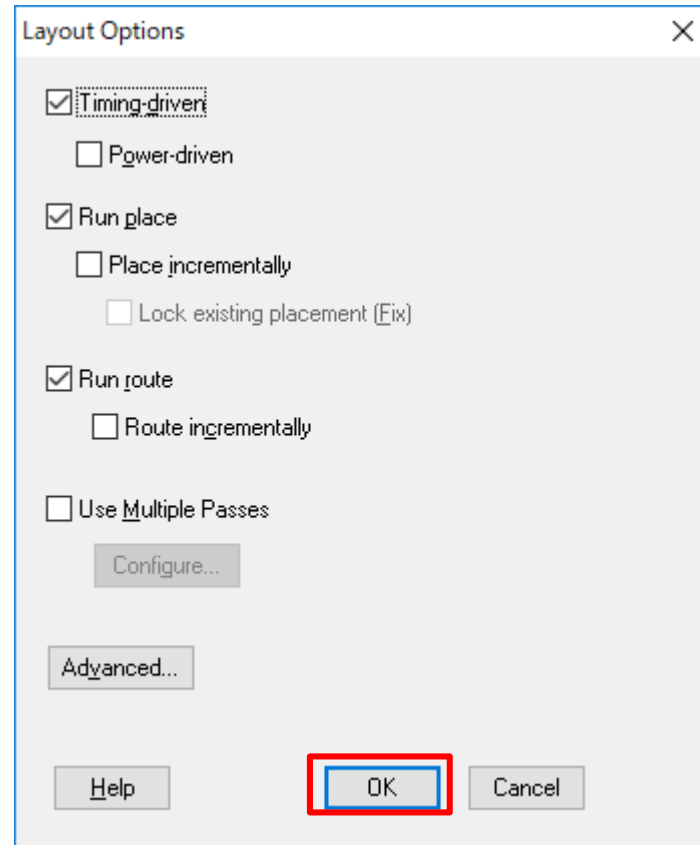
## 22. Layout



自動で、上記の画面が表示されるので、「Layout」ボタンを押す。

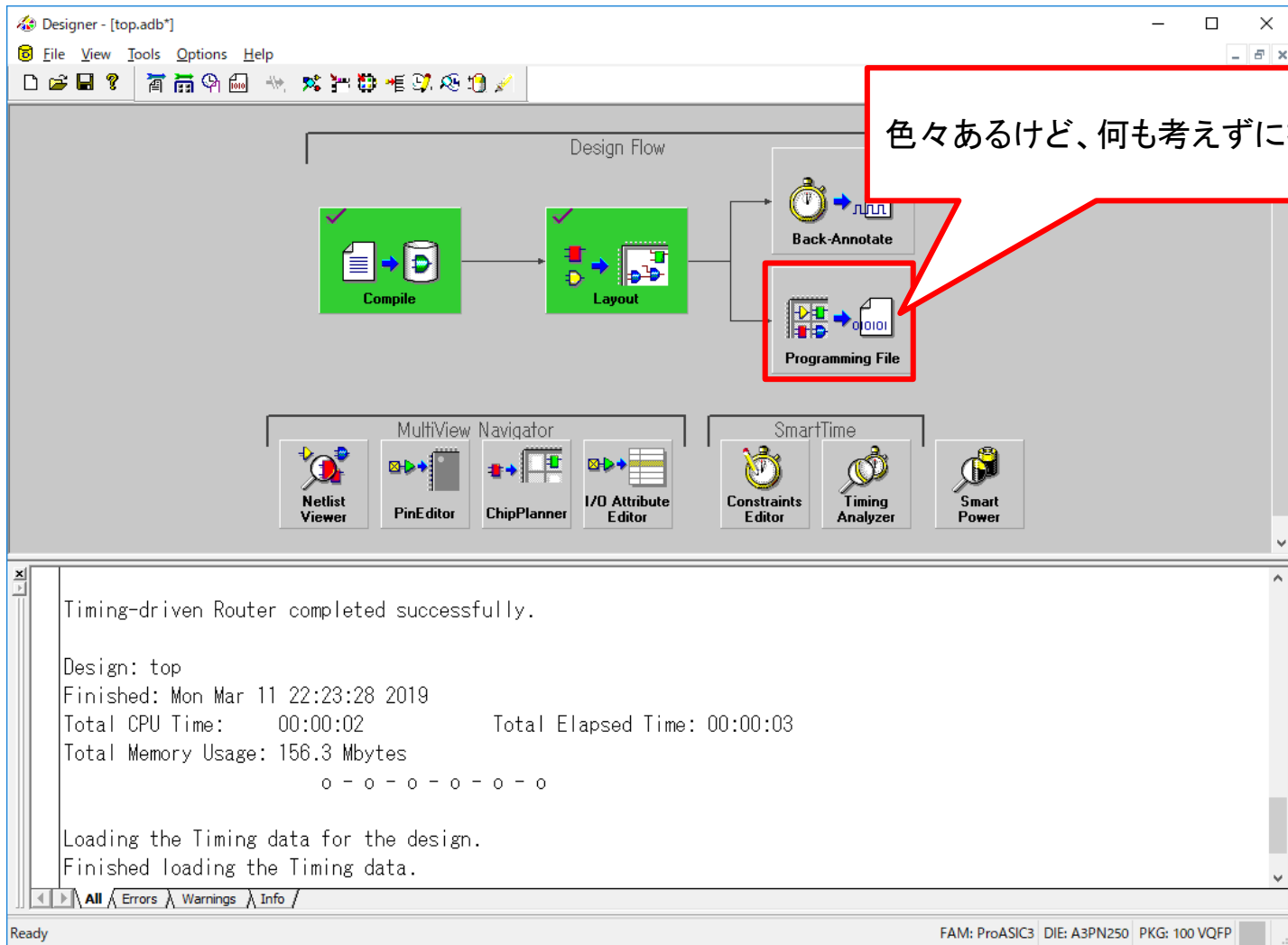
## 23. Layout

### Layout Options



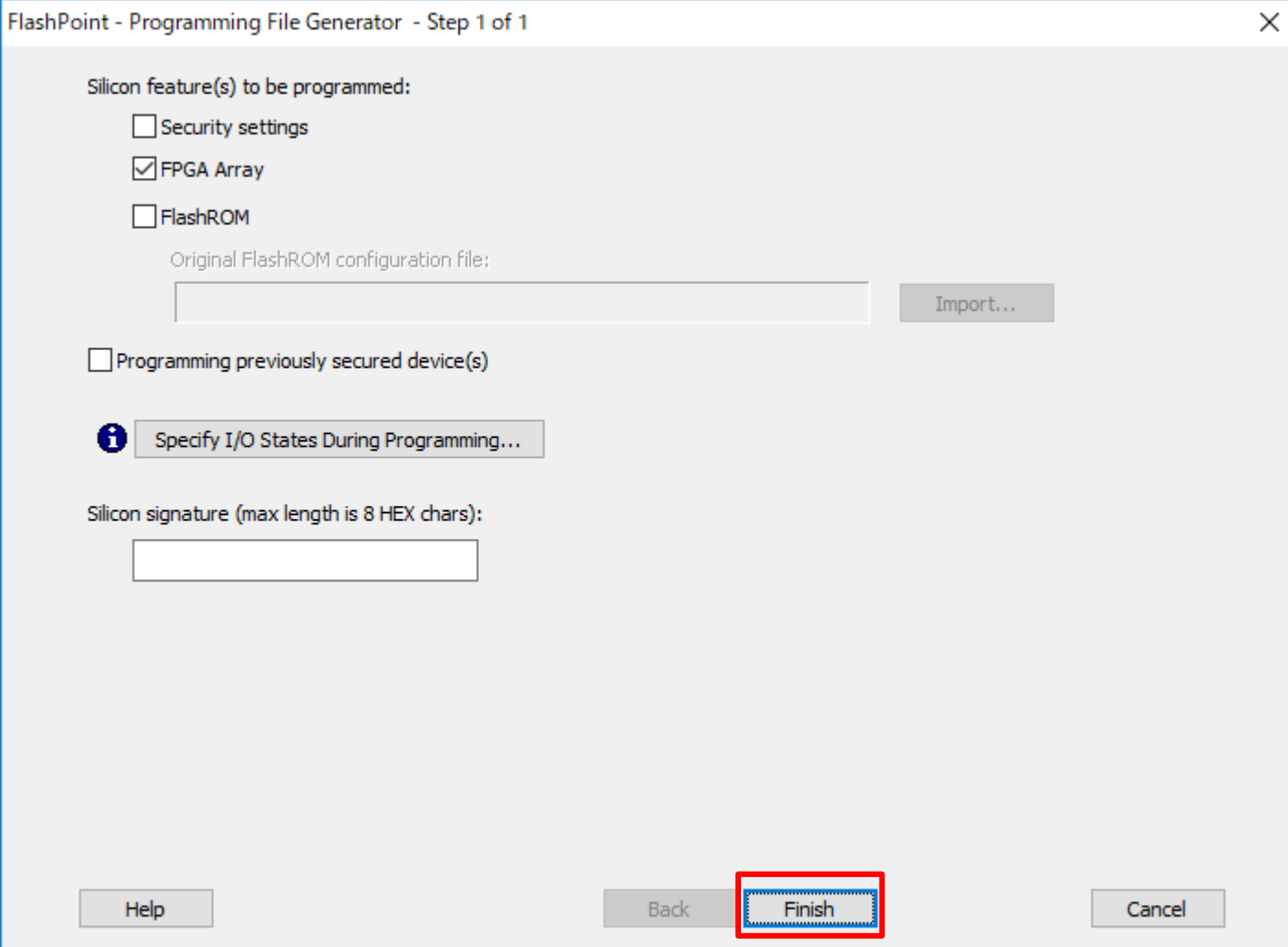
上記の画面が表示されるが、何も考えずに「OK」を押す。

## 24. Layout後/Programming File



Layoutに成功すると、上記のように緑色になる。  
次に「Programming File」を押して、書き込みを行うFileを生成する。

## 25. Programming File




FlashPoint - Programming File Generator - Step 1 of 1

Silicon feature(s) to be programmed:

- ☐ Security settings
- ☒ FPGA Array
- ☐ FlashROM

Original FlashROM configuration file:

☐ Programming previously secured device(s)



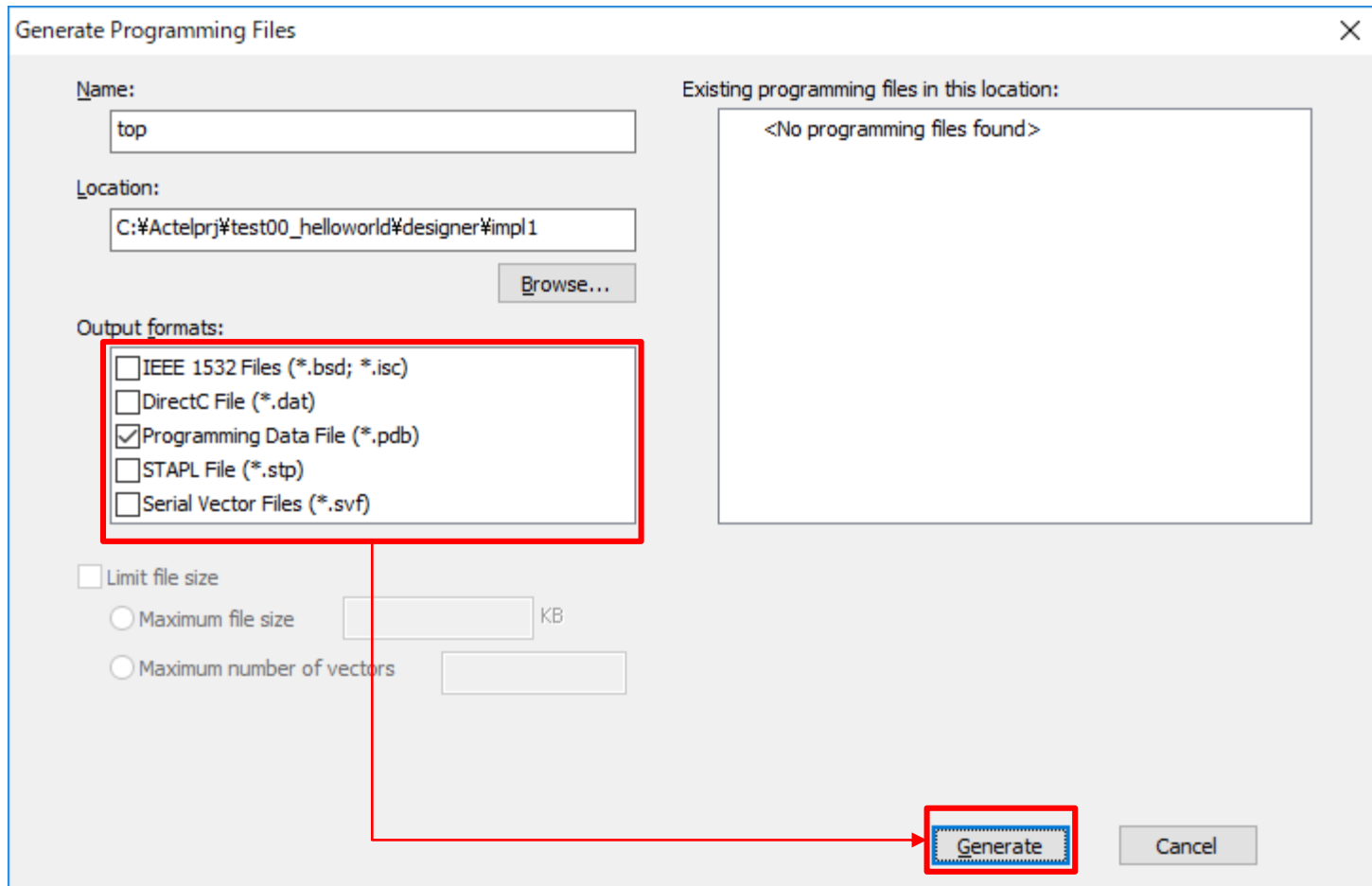
Silicon signature (max length is 8 HEX chars):

基本的には、そのまま「Finish」を押せばOK

FlashROMを内蔵するようなFPGA(ロジック)は、ここでROM用の外部ファイルをインポートすることが出来たりする。

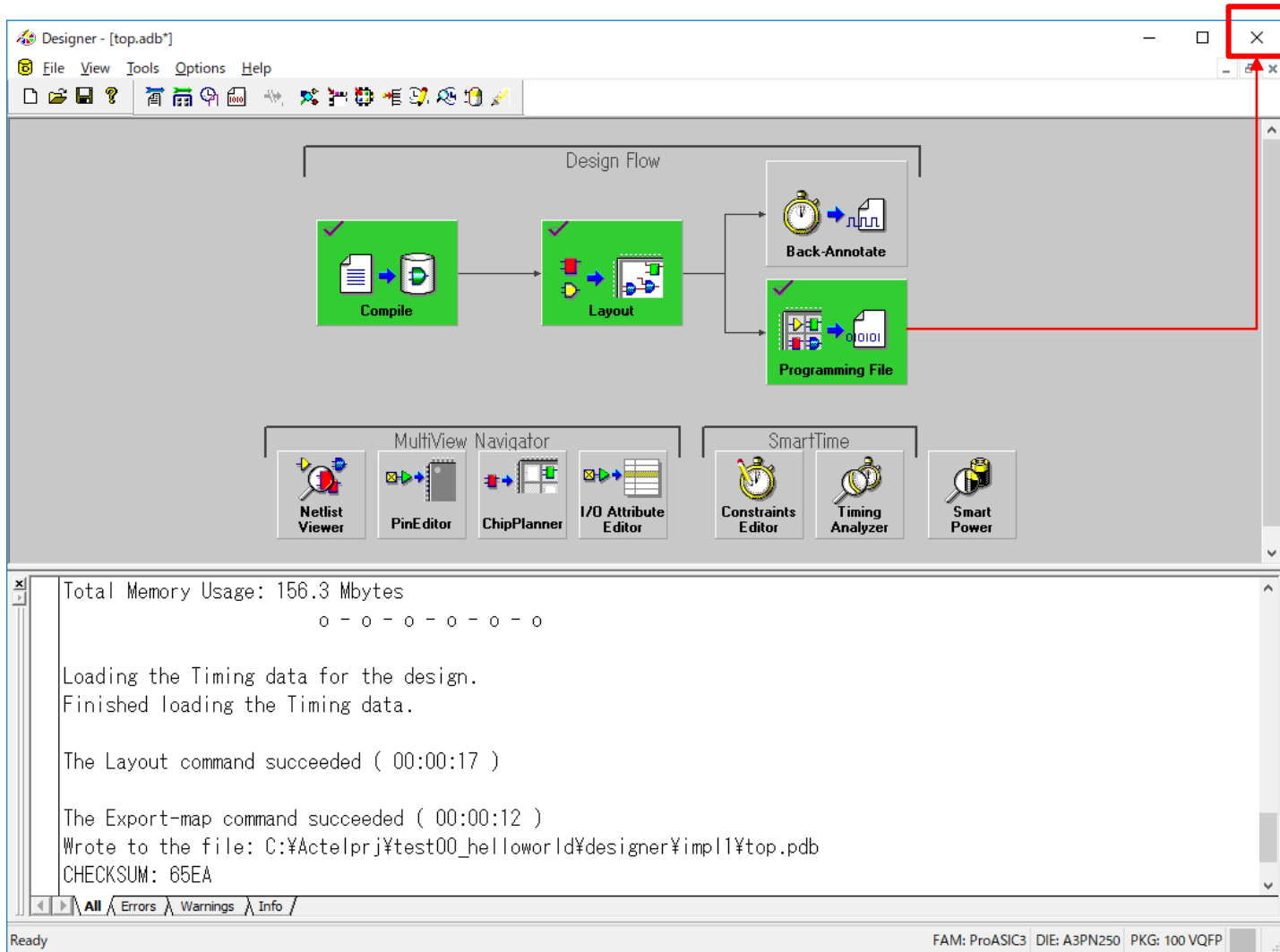


## 26. Programming File



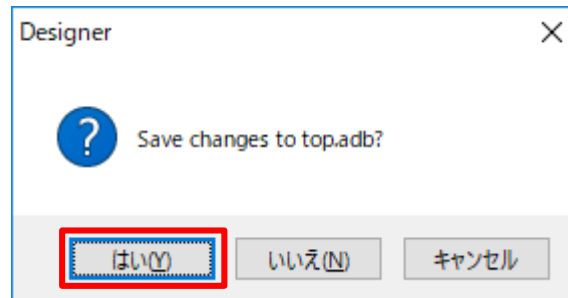
生成するProgramming Fileの設定を行うことができる。通常は「\*.pdb」でOK。他の形式も出力したければ、チェックする。

## 27. Programming File後



Programming Fileの出力が成功していれば、上記のように緑色になっている。  
確認した後、この画面を閉じる。

## 28. Programming File後



保存するか聞かれるので、通常「はい」を選択し保存する。

# 29. Programming File後

The screenshot displays the Microsemi Libero IDE interface. The left-hand 'Design Flow' pane shows a sequence of steps: Import I/O Constraints, Import Timing Constraints, Implement Design, Synthesize, Constraints, Compile, Constraints, Place and Route, Simulate, Verify Timing, Verify Power, Export Back Annotated Files, and Generate Programming Data. The 'Place and Route' step is highlighted with a red rectangle and a green checkmark, indicating successful completion. The main workspace is divided into three panes: 'Project Summary' on the left, 'Messages' on the right, and a central log area. The 'Project Summary' pane shows a tree view of the project files, including 'top\_compile.log'. The 'Messages' pane on the right lists various messages, including 'Using oneshot encoding for type multiplex', 'Synthesizing work.top.rtl', 'Running in 64-bit mode', 'Clock conversion disabled', 'Writing default property annotation file', 'This timing report is an estimate of place and route data', and 'Clock constraints include only register-to-register paths'. The central log area displays the output of the 'top\_compile.log' file, showing the compilation process and the resulting programming file 'top.edn'.

Libero - C:\Actelprj\test00\_helloworld\test00\_helloworld.prj

Project File Edit View Design Tools Help

Design Flow

Tool

Design Flow

Project Summary

test00\_helloworld.log

top reports

top

top\_DataSheet.html

top\_manifest.txt

top\_report\_pin\_byname.txt

top\_report\_pin\_byname.txt

Synthesize

synth\_timing

top.sir

top.sir

run\_options.txt

Post-Synthesis Simulate

tb\_top\_postsynth\_simulati...

Compile

top\_compile.log.rpt

top\_compile\_report.txt

Non root components

tb\_top

tb\_top\_manifest.txt

Place and Route

Verify Post-Capout Implementation

Simulate

Verify Timing

Verify Power

Export Back Annotated Files

Generate Programming Data

Program Device

Debug Design

Identify Debug Design

Hardware Design for Production

Export Programming File

Export Pin Report

Export IBIS Model

Develop Firmware

Write Application Code

Messages

Messages Errors Warnings Info

Message

Message ID Source Location Log Location

Using oneshot encoding for type multiplex. For example, enumeration '1' is mapped to "000000000".

CD031 stb1354.rhd0090 top.am230

Synthesizing work.top.rtl

CD030 top.rhd1.rtl top.am230

Running in 64-bit mode.

MF240 - top.am230

Clock conversion disabled. [Command 'set\_option -fx\_gated\_and\_generated\_clocks 0' in the project file.]

MF607 - top.am230

Writing default property annotation file C:\Actelprj\test00\_helloworld\synthesis\top.sap.

8N225 - top.am230

This timing report is an estimate of place and route data. For final timing results, use the FPGA vendor place and route report.

MT320 top.am230

Clock constraints include only register-to-register paths associated with each individual clock.

MT322 top.am230

Compile (top)

Please refer to the log file for details

top\_compile.log.rpt

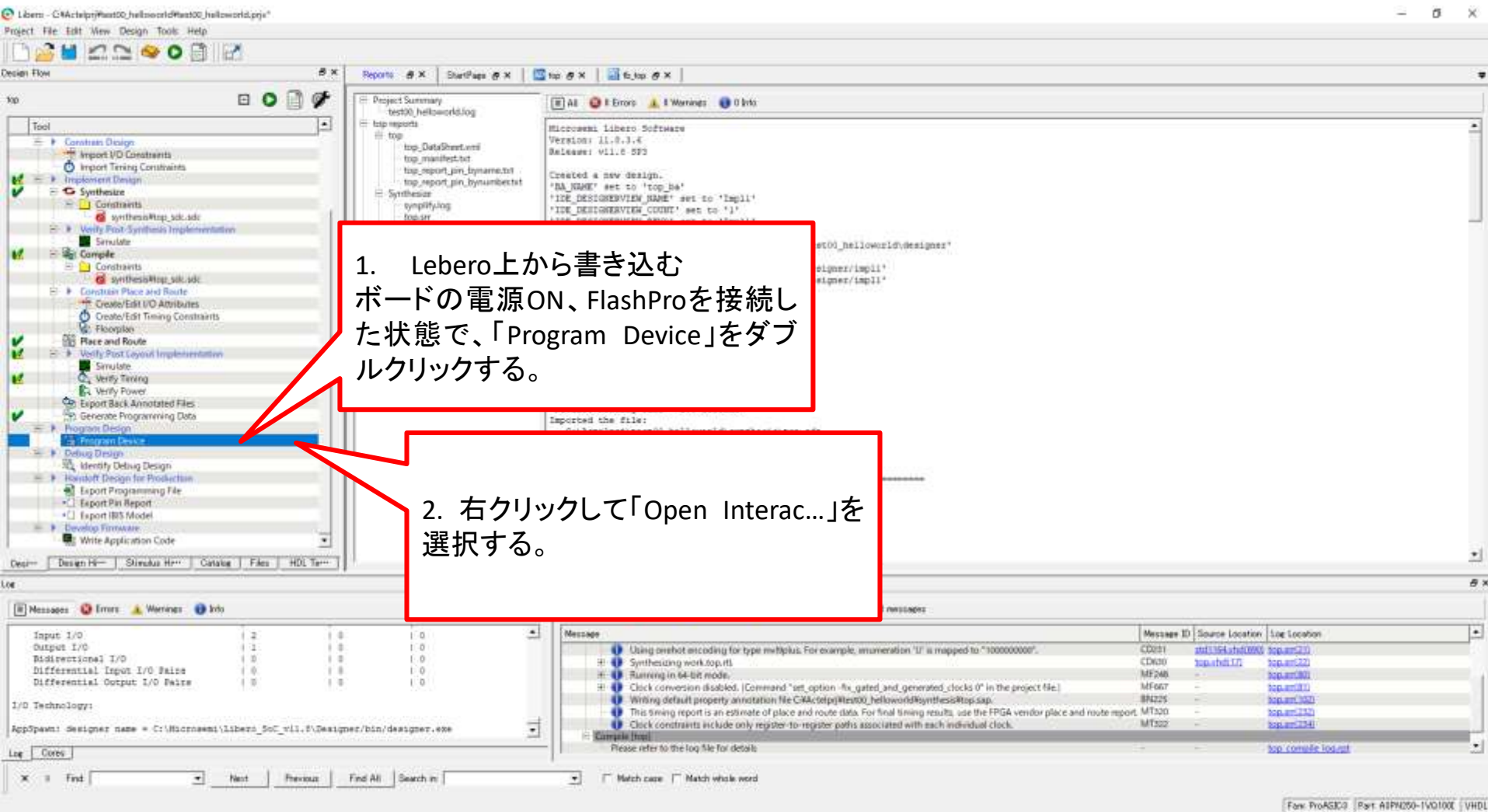
Log Cores

Find Next Previous Find All Search in Match case Match whole word

Font: ProASIC3 Part: A1P0250-1VQ100X VHDL

元の統合開発環境 (Libero) に戻ると、「Place and Route」に緑色チェックが付いているハズ。これで、FPGAに書き込むロジックが生成された。

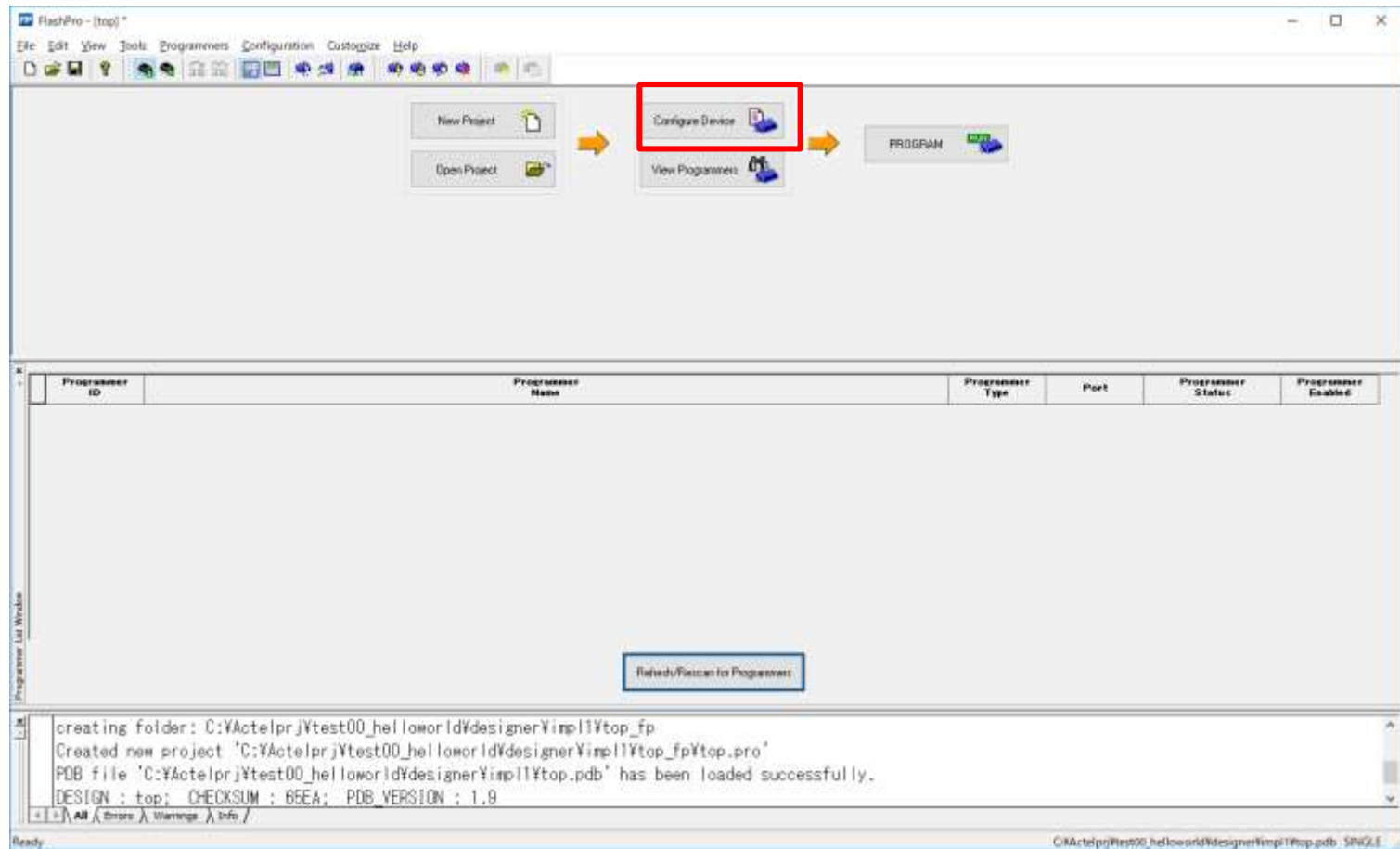
## 30. Program Design



生成したロジックを書き込む。書き込むの仕方は2種類あり、

1. Libero上から書き込む
2. FlashProから書き込む がある。

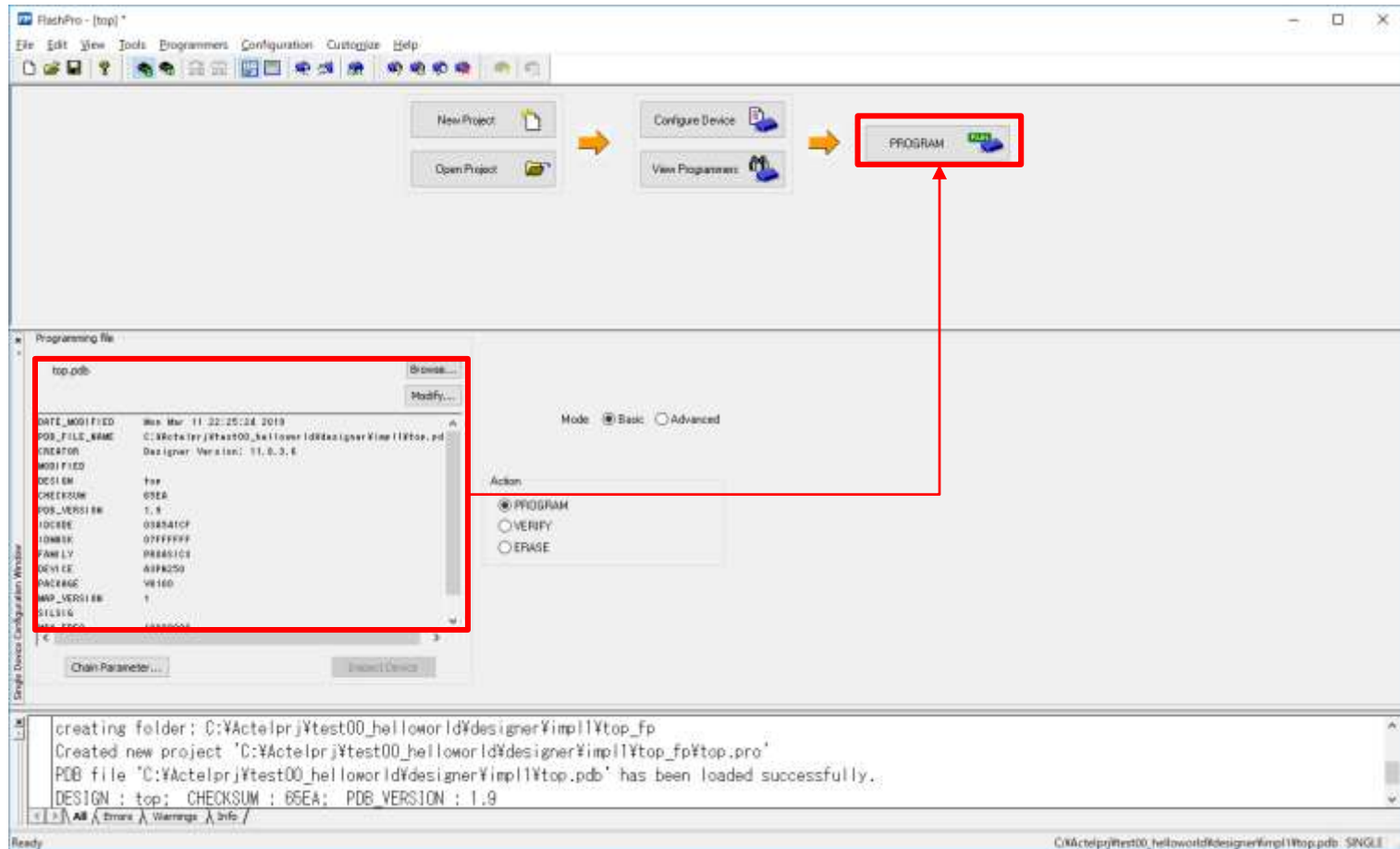
# 31. FlashProからの書き込み



Liberoとは別にFlashProと呼ばれる書き込み用のソフトウェアが起動する。このソフトウェアは単体でも動作する。

「Configure Device」を選択し、設定を確認する。

## 32. FlashProからの書き込み



何もしなくても書き込むロジックがインポートされているはず。  
デバイスの電源ONであること、FlashProが接続されていることを確認して、「PROGRAM」ボタンを押す。  
正常であれば、書き込みに成功するはず。

## 33. 書き込み時の注意事項

- Liberoから直接書き込むことが出来るが、Liberoのバグで正常に書き込みが出来ないことがある。そのため、1手間増えるが、FlashProからの書き込みを推奨する。
- 書き込みが失敗するアルアルは以下、
  - デバイスの電源が入っていない。
  - FlashProはPCに接続されているが、ドライバが当たっていない。
  - JTAG周りの回路構成が良くない。開発キットやデータシートを参考にする。



