

18. コンパイル

右クリックで、「Run」を選択

Messages

| Message | Message ID | Source Location | Log Location |
|--|------------|------------------|--------------|
| Implementation | | | |
| Synthesis [Run] C:\16\vhdl01 | | | |
| Running in 64-bit mode | | | top.am111 |
| Setting time resolution to ps | CD720 | std1.vhdl146 | top.am111 |
| Top entity is set to top. | | top.vhdl117 | top.am111 |
| Using onehot encoding for type multiplex. For example, enumeration '1F' is mapped to "1000000000". | CD231 | std11261.vhdl199 | top.am111 |
| Synthesizing work.top.rtl | CD030 | top.vhdl117 | top.am111 |
| Running in 64-bit mode. | | | top.am111 |
| Clock conversion disabled. [Command "set_option -fix_gated_and_generated_clocks 0" in the project file.] | MF607 | | top.am111 |

論理合成に成功していれば、コンパイルを実行することが出来る。コンパイルは、論理合成したロジックを対象のデバイス用にモディファイしてくれる。そのため、論理合成は成功していてもピン数とかRAMサイズが足りないとエラーとなる。

19. コンパイル後

The screenshot displays the Libero IDE interface after a successful compilation. The Design Flow tree on the left shows the 'Compile' step completed with a green checkmark. The Reports window in the center shows the compilation log, and the Messages window at the bottom shows various status messages.

ここにコンパイルのレポートが表示される。
使用するロジック数やRAM領域等の情報が表示されるので、参考にする。

Messages

| Message | Message ID | Source Location | Log Location |
|--|------------|---------------------|--------------|
| Using oneshot encoding for type multiplex. For example, enumeration '1' is mapped to "000000000". | CD031 | src\libero\hdl\0000 | top.ans210 |
| Synthesizing work.top.rtl | CDK00 | top.rhdl.L17 | top.ans221 |
| Running in 64-bit mode. | MF248 | - | top.ans001 |
| Clock conversion disabled. [Command 'set_option -fx_gated_and_generated_clocks 0' in the project file.] | MF607 | - | top.ans011 |
| Writing default property annotation file C:\Actelprj\test00_helloworld\synthesis\top.sap. | SH225 | - | top.ans1002 |
| This timing report is an estimate of place and route data. For final timing results, use the FPGA vendor place and route report. | MT200 | - | top.ans1210 |
| Clock constraints include only register-to-register paths associated with each individual clock. | MT202 | - | top.ans1214 |

コンパイルに成功していれば、緑色のチェックが付いている。
失敗すると赤色の×が付く。

20. ピンアサイン

コンパイルしたロジックのピンアサインを設定する。
何もしないとソフトが良かれと思ったピンアサインに設定する。
ダブルクリックで起動する。

Messages

| Message | Message ID | Source Location | Log Location |
|---|------------|-------------------|--------------|
| Using oneshot encoding for type multiplex. For example, enumeration '1' is mapped to "000000000". | CD031 | src\3564.scd\0000 | top.amc210 |
| Synthesizing work.top.rtl | CD030 | top.rhdl.i17 | top.amc220 |
| Running in 64-bit mode. | MF248 | - | top.amc000 |
| Clock conversion disabled. [Command 'set_option -fx_gated_and_generated_clocks 0' in the project file] | MF607 | - | top.amc010 |
| Writing default property annotation file C:\Actelproj\test00_helloworld\synthesis\top.sap. | SH225 | - | top.amc1000 |
| This timing report is an estimate of place and route dfa. For final timing results, use the FPGA vendor place and route report. | MT200 | - | top.amc1100 |
| Clock constraints include only register-to-register paths associated with each individual clock. | MT202 | - | top.amc1200 |

ダブルクリックすると、設定用の別ソフトが起動する。

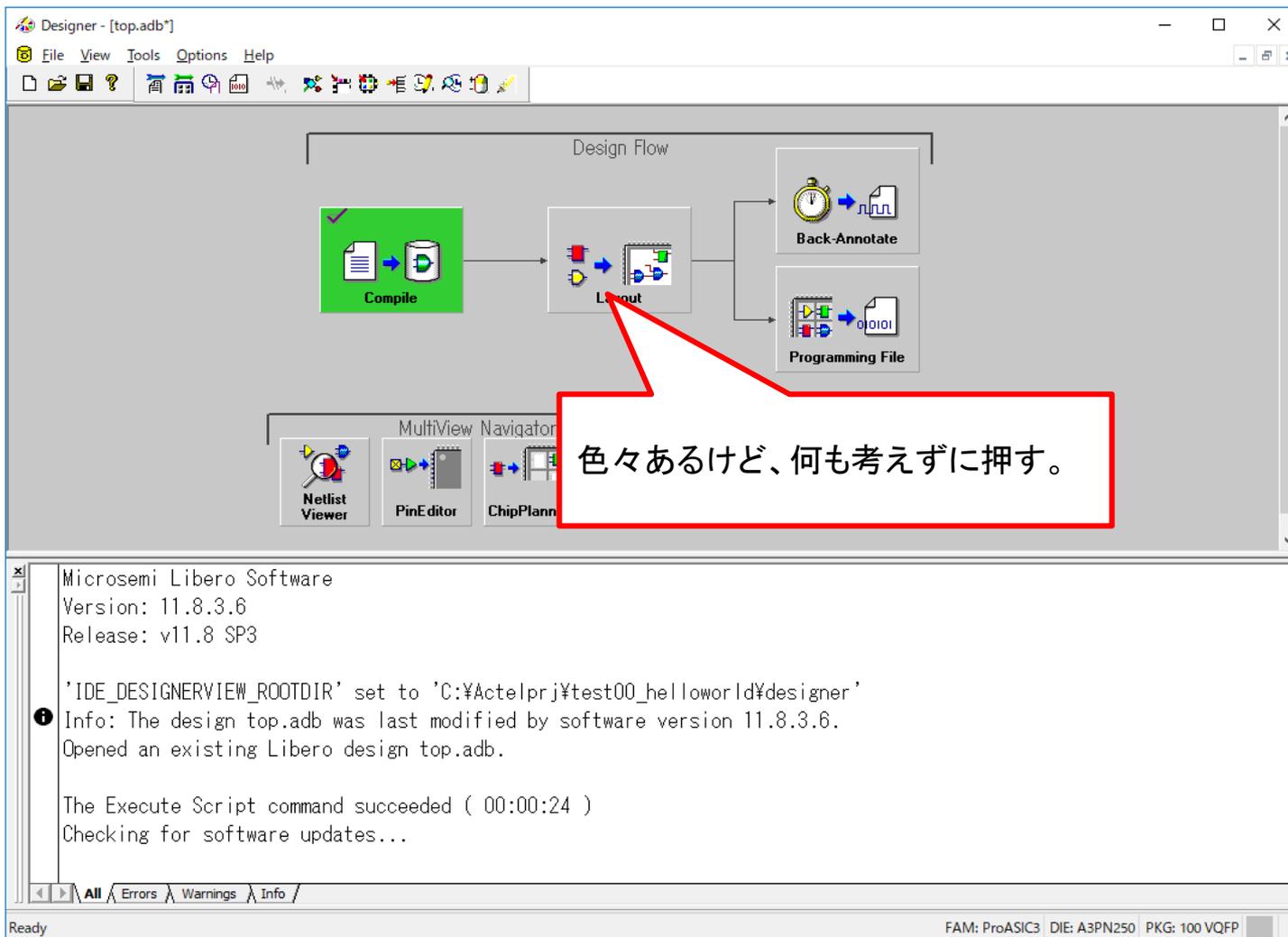
21. ピンアサインの設定

ここで、設定したいピン番号を設定する。また、必ず「Locked」をチェックすること。チェックしないと、ソフトが良かれと思うピン番号に変更されてしまう。

| | Port Name | Group | Macro Cell | Pin Number | Locked | Bank Name | I/O Standard | Output Drive (mA) | Slew | Resistor Pull | Output Load (pF) | Use I/O Reg | Hot Swappable | Schmitt Trigger |
|---|-----------|-------|---------------|------------|-------------------------------------|-----------|--------------|-------------------|------|---------------|------------------|--------------------------|--------------------------|--------------------------|
| 1 | A | | ADLIB:INBUF | 3 | <input checked="" type="checkbox"/> | Bank3 | LVTTTL | -- | -- | None | -- | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| 2 | B | | ADLIB:INBUF | 4 | <input checked="" type="checkbox"/> | Bank3 | LVTTTL | -- | -- | None | -- | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| 3 | Y | | ADLIB:OUTB... | 5 | <input checked="" type="checkbox"/> | Bank3 | LVTTTL | 8 | High | None | 35 | <input type="checkbox"/> | <input type="checkbox"/> | -- |

ロジックによっては、設定出来ないピン番号が発生することがある（FPGA内で遠すぎたりするため配線できない）。そのため回路設計には注意が必要。
ピンアサインに問題がなければ、左上のCommitを押す。その後、画面を閉じる。

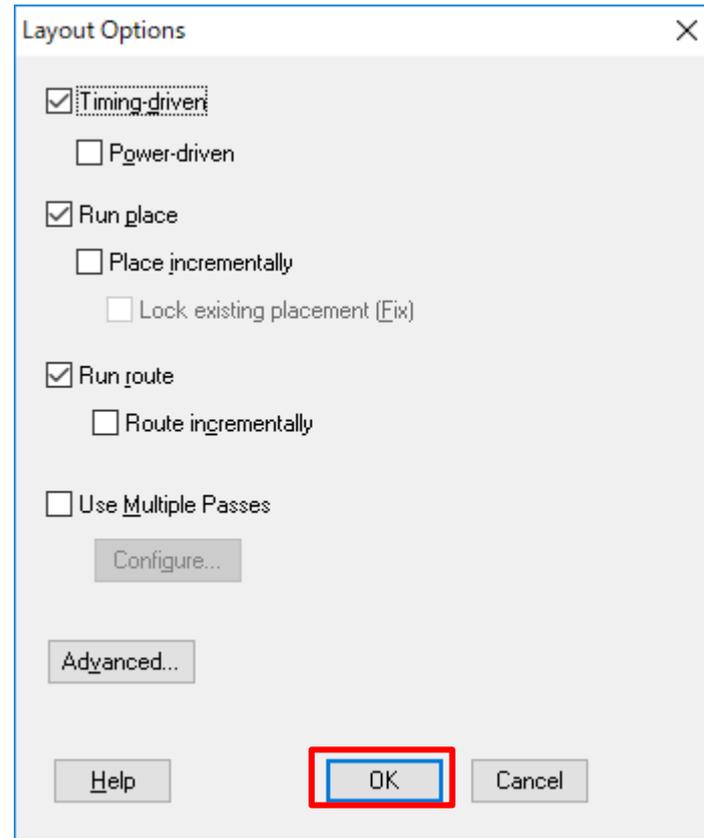
22. Layout



自動で、上記の画面が表示されるので、「Layout」ボタンを押す。

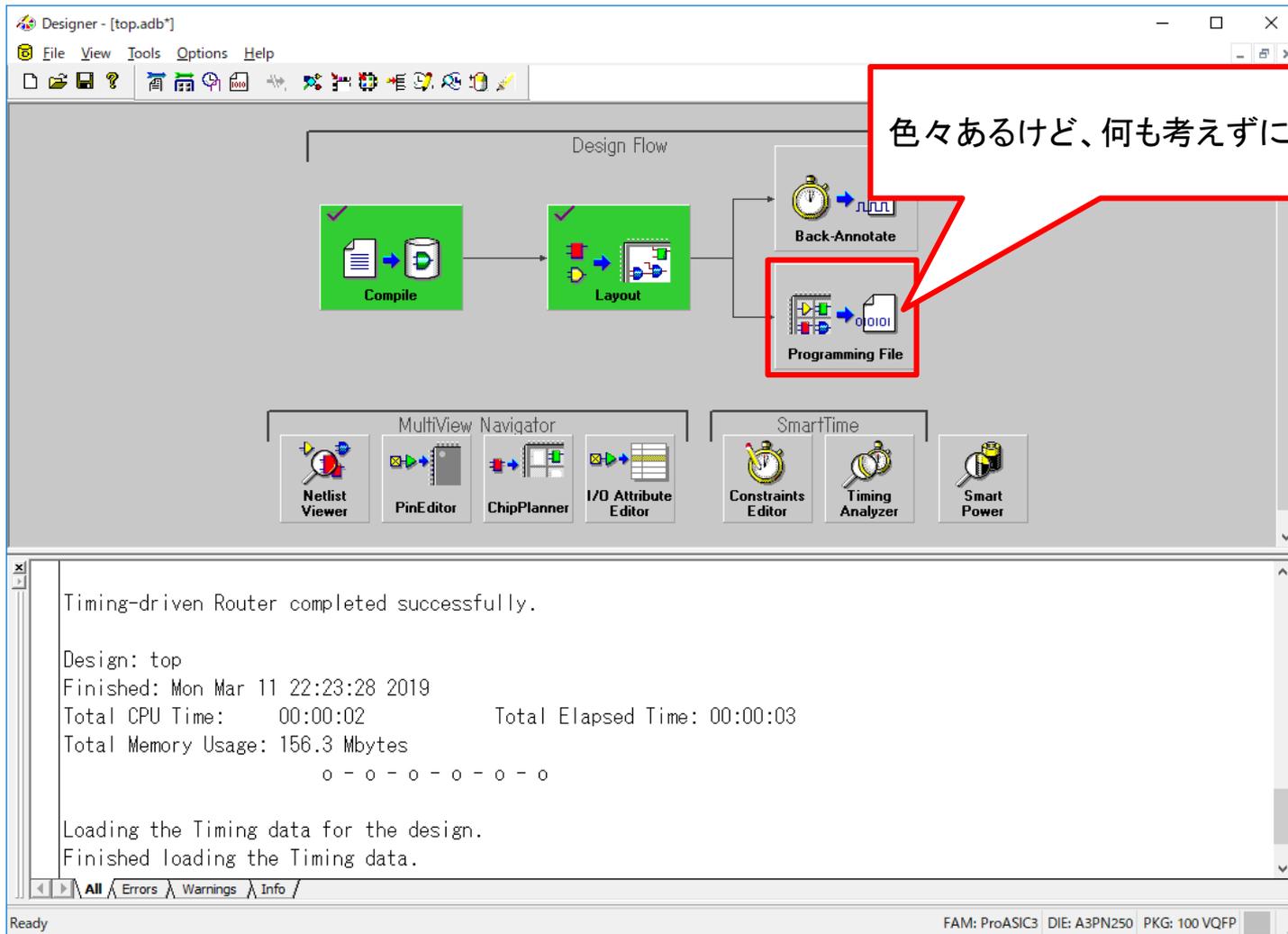
23. Layout

Layout Options



上記の画面が表示されるが、何も考えずに「OK」を押す。

24. Layout後/Programming File



Layoutに成功すると、上記のように緑色になる。
次に「Programming File」を押して、書き込みを行うFileを生成する。

25. Programming File

FlashPoint - Programming File Generator - Step 1 of 1

Silicon feature(s) to be programmed:

- Security settings
- FPGA Array
- FlashROM

Original FlashROM configuration file:

Import...

Programming previously secured device(s)

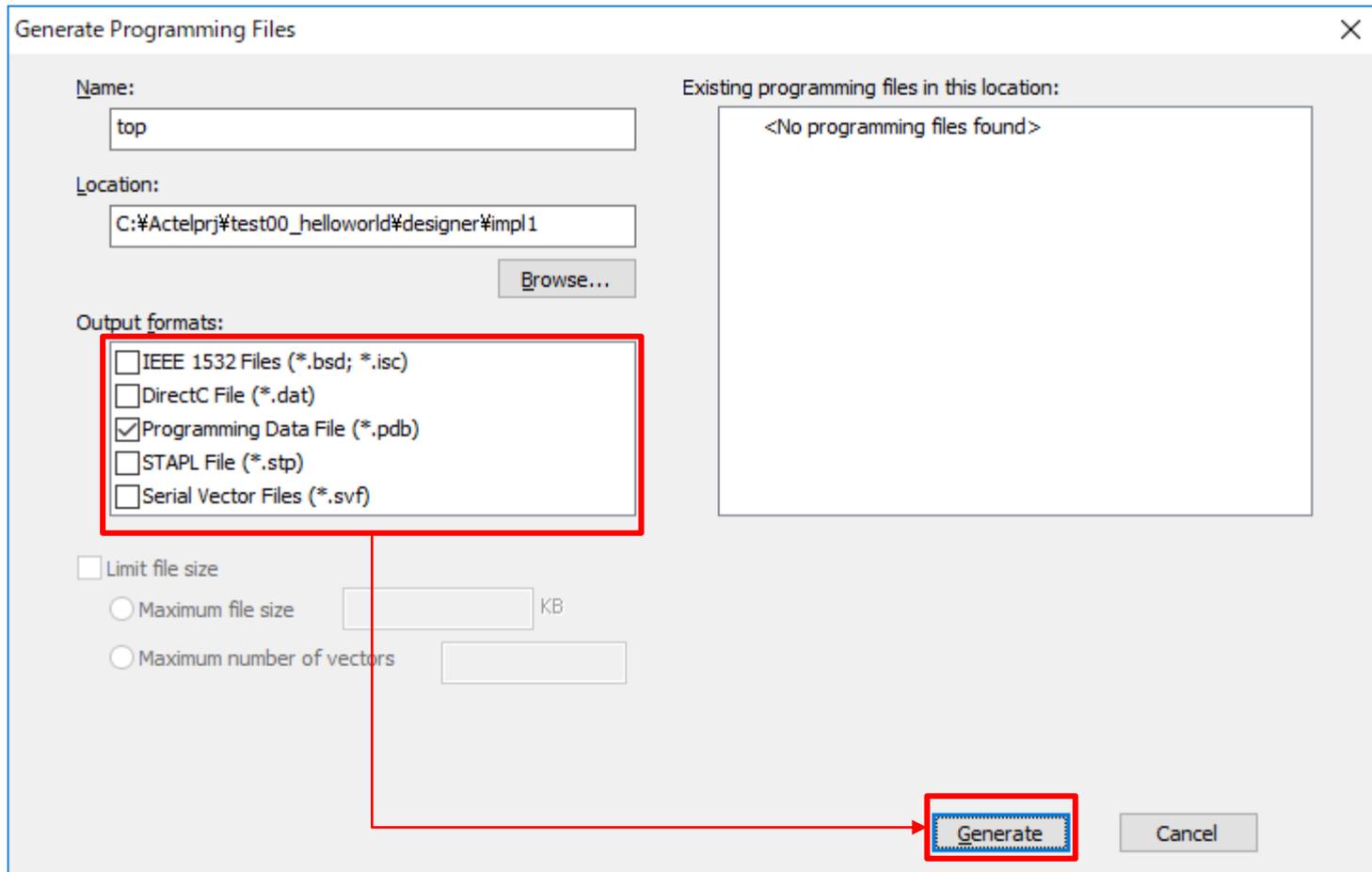
i Specify I/O States During Programming...

Silicon signature (max length is 8 HEX chars):

Help Back **Finish** Cancel

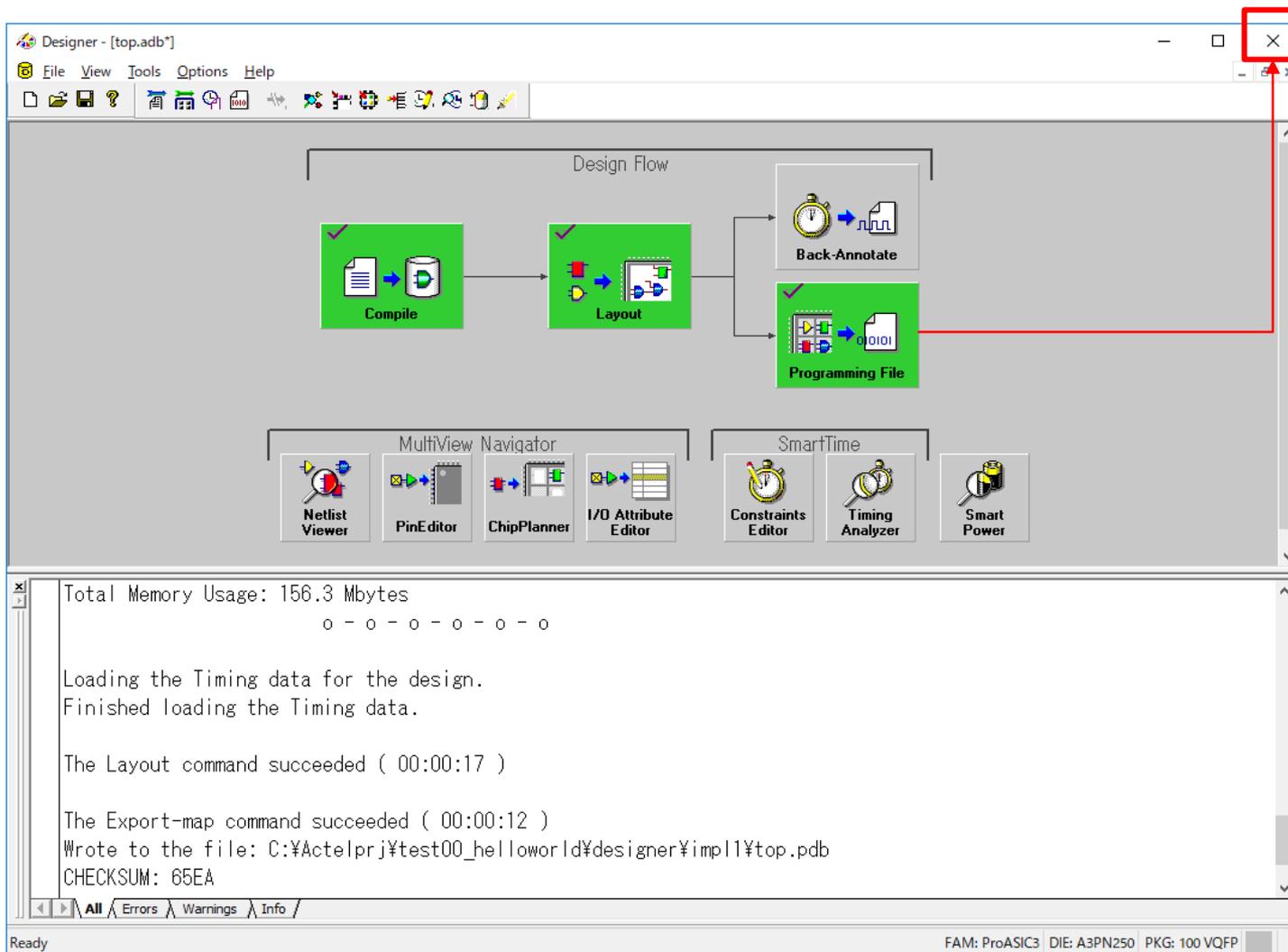
基本的には、そのまま「Finish」を押せばOK
FlashROMを内蔵するようなFPGA(ロジック)は、ここでROM用の外部ファイルをインポート
することが出来たりする。

26. Programming File



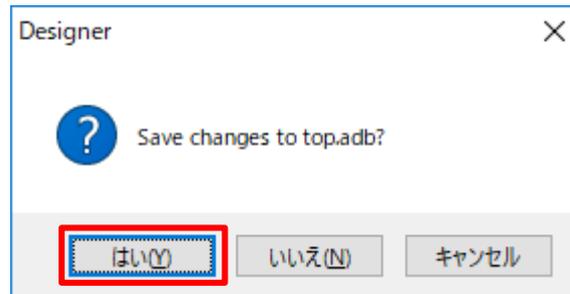
生成するProgramming Fileの設定を行うことができる。通常は「*.pdb」でOK。他の形式も出力したければ、チェックする。

27. Programming File後



Programming Fileの出力が成功していれば、上記のように緑色になっている。確認した後、この画面を閉じる。

28. Programming File後



保存するか聞かれるので、通常「はい」を選択し保存する。

29. Programming File後

The screenshot displays the Libero IDE interface during the 'Place and Route' step. The left-hand 'Design Flow' pane shows a tree of steps, with 'Place and Route' highlighted and marked with a green checkmark. The main workspace is divided into three panes: 'Project Summary', 'Messages', and 'Log'. The 'Project Summary' pane shows a tree of files, with 'top_compile.log' selected. The 'Messages' pane displays a list of messages, including 'Using oneshot encoding for type multiplex...', 'Synthesizing work.top.rtl', 'Running in 64-bit mode', 'Clock conversion disabled.', 'Writing default property annotation file...', 'This timing report is an estimate of place and route data.', and 'Clock constraints include only register-to-register paths...'. The 'Log' pane shows the output of the compilation process, including the command 'C:\Microsemi\Libero_SoC_v11.0\Designer\bin\designer.exe' and the parameters used to run the compiler.

```
Project Summary
test00_helloworld\test00_helloworld\proj
  top reports
  top
    top_DataSheet.html
    top_manifest.txt
    top_report_pin_byname.txt
    top_report_pin_byname.txt
  Synthesizer
    simplify.log
    top.sir
    top.asour
    run_options.txt
  Post-Synthesis Simulate
    tb_top_postsynth_simulat...
  Compile
    top_compile.log.rpt
    top_compile_report.txt
  Non root components
    tb_top
      tb_top_manifest.txt
```

```
Messages
Message
  Using oneshot encoding for type multiplex. For example, enumeration '1' is mapped to "000000000".
  Synthesizing work.top.rtl
  Running in 64-bit mode.
  Clock conversion disabled. [Command 'set_option -fx_gated_and_generated_clocks 0' in the project file.]
  Writing default property annotation file C:\Actelprj\test00_helloworld\synthesis\top.sap.
  This timing report is an estimate of place and route data. For final timing results, use the FPGA vendor place and route report.
  Clock constraints include only register-to-register paths associated with each individual clock.
  Compile (top)
  Please refer to the log file for details.
```

```
Log
C:\Microsemi\Libero_SoC_v11.0\Designer\bin\designer.exe
Parameters used to run compiler:
Family      : ProASIC3
Device      : AS3R250
Package     : 100 VQFP
Source      : C:\Actelprj\test00_helloworld\synthesis\top.edn
Netlist Reading Time = 1.0 seconds
Imported the file:
C:\Actelprj\test00_helloworld\synthesis\top.edn
The Import command succeeded ( 00:00:05 )
Design saved to file top.edb.
*****
Parameters used to run compiler:
*****
Family      : ProASIC3
Device      : AS3R250
Package     : 100 VQFP
Source      : C:\Actelprj\test00_helloworld\synthesis\top.edn
```

元の統合開発環境 (Libero) に戻ると、「Place and Route」に緑色チェックが付いているはず。これで、FPGAに書き込むロジックが生成された。

30. Program Design

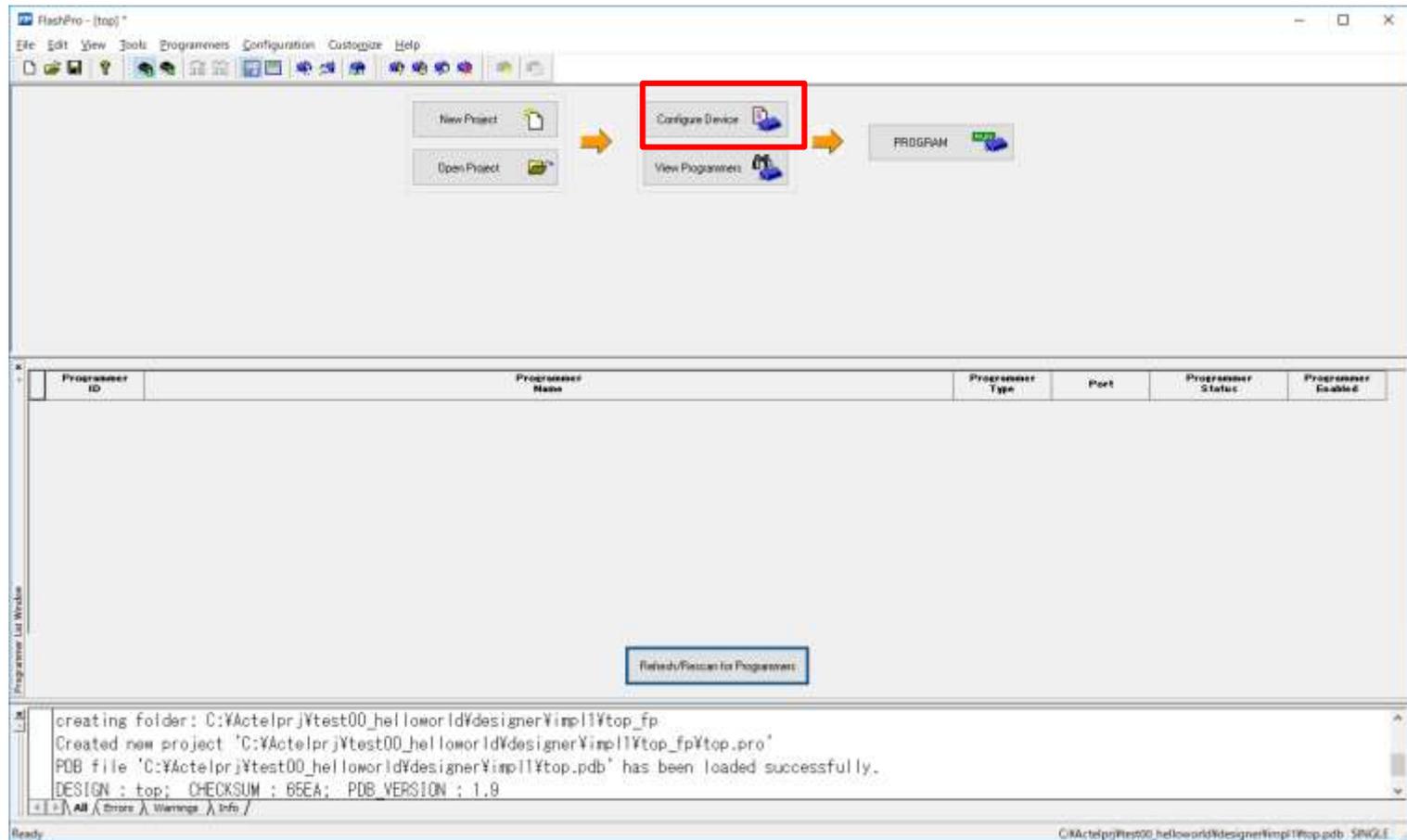
1. Libero上から書き込む
ボードの電源ON、FlashProを接続した状態で、「Program Device」をダブルクリックする。

2. 右クリックして「Open Interac...」を選択する。

| Message | Message ID | Source Location | Log Location |
|--|------------|---------------------|--------------|
| Using oneshot encoding for type multiplex. For example, enumeration 'I' is mapped to "000000000". | CD031 | src\libero\hdl\0090 | top.amc210 |
| Synthesizing work.sop.rtl | CDK00 | top.hdl.II | top.amc220 |
| Running in 64-bit mode. | MF240 | - | top.amc260 |
| Clock conversion disabled. [Command 'set_option -fx_gated_and_generated_clocks 0' in the project file.] | MF607 | - | top.amc310 |
| Writing default property annotation file C:\Actel\proj\test00_helloworld\synthesis\rtap.sap. | BN225 | - | top.amc330 |
| This timing report is an estimate of place and route data. For final timing results, use the FPGA vendor place and route report. | MT200 | - | top.amc340 |
| Clock constraints include only register-to-register paths associated with each individual clock. | MT202 | - | top.amc340 |

- 生成したロジックを書き込む。書き込むの仕方は2種類あり、
1. Libero上から書き込む
 2. FlashProから書き込む がある。

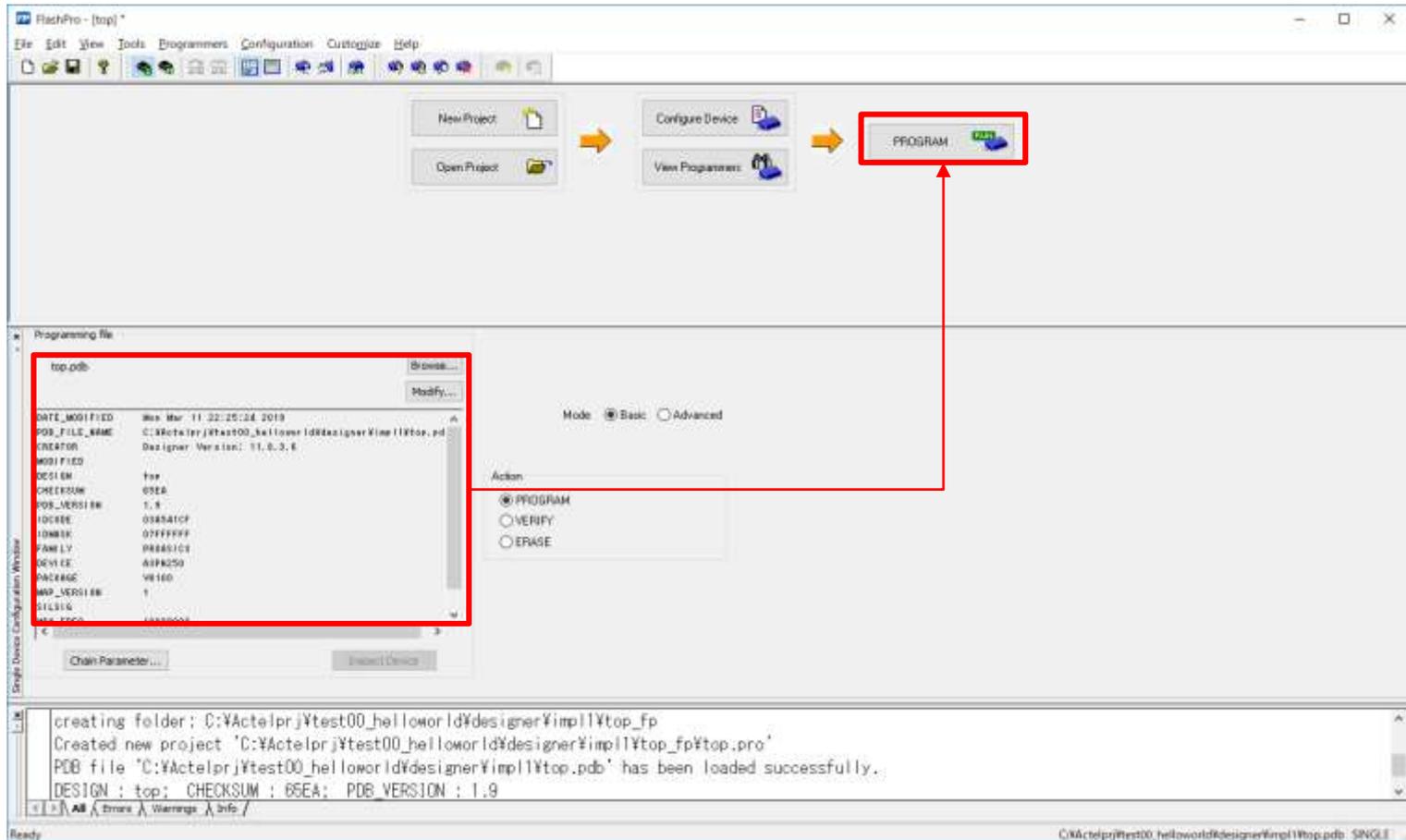
31. FlashProからの書き込み



Liberoとは別にFlashProと呼ばれる書き込み用のソフトウェアが起動する。このソフトウェアは単体でも動作する。

「Configure Device」を選択し、設定を確認する。

32. FlashProからの書き込み



何もしなくても書き込むロジックがインポートされているはず。
デバイスの電源ONであること、FlashProが接続されていることを確認して、「PROGRAM」ボタンを押す。
正常であれば、書き込みに成功するはず。

33. 書き込み時の注意事項

- Liberoから直接書き込むことが出来るが、Liberoのバグで正常に書き込みが出来ないことがある。そのため、1手間増えるが、FlashProからの書き込みを推奨する。
- 書き込みが失敗するアルアルは以下、
 - デバイスの電源が入っていない。
 - FlashProはPCに接続されているが、ドライバが当たっていない。
 - JTAG周りの回路構成が良くない。開発キットやデータシートを参考にする。

