



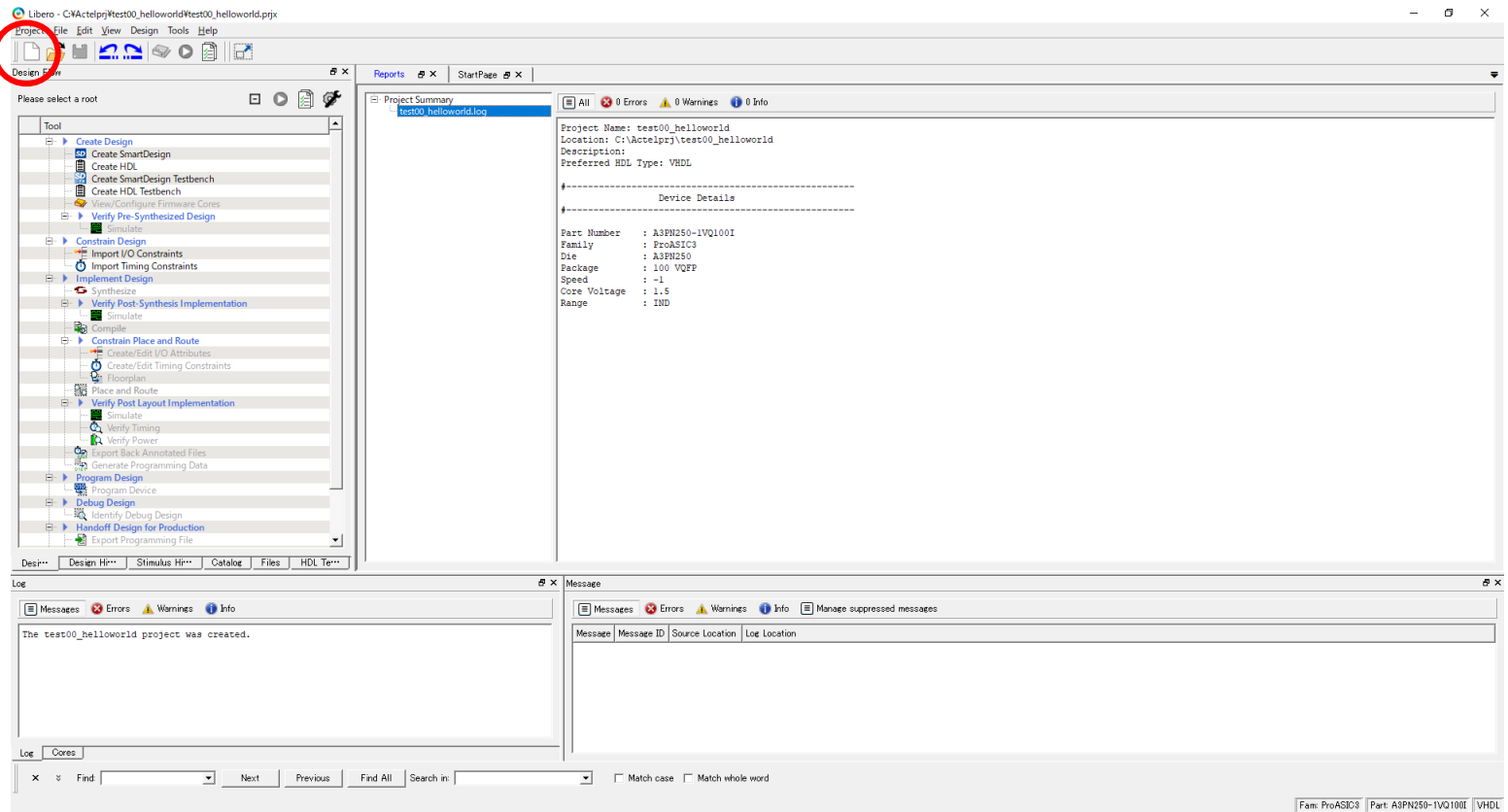
# Microsemi FPGA開発方法

## 2 LiberoSocの使い方

# 1. LiberoSocの起動

新規プロジェクト作成を押す。

ここを押す



- 新規プロジェクトを作成するには、LiberoSocの左上にある白紙アイコンをクリックする。

## 2. プロジェクト生成ウィザード

プロジェクト名を入力する。

New project

← Project details  
Specify project details

Project name: test00\_helloworld

Project location: C:/Actelprj Browse...

Description:

Preferred HDL type: VHDL

☐ Enable block creation

Project Details

Device Selection

Device Settings

Design Template

Add HDL Sources

Add Constraints

Libero  
System-on-Chip

Help

< Back Next > Finish Cancel

プロジェクト名を入力する。

HDL言語を選択する。  
無償ライセンスだと、混合になるとシミュレーションが出来ないため、注意すること。

プロジェクトの説明とかあれば入力できる。  
入力しなくても問題ない。

- プロジェクト名を入力する。プロジェクトはフォルダで生成される。
- プロジェクトフォルダは、プロジェクトファイル及び複数のフォルダから構成される。

設定したら「Next」を押す。

### 3. プロジェクト生成ウィザード

使用するデバイス(FPGA)を選択する。

New project

← Device selection  
Select a part for your project from the part number list

Selected part: A3PN250-1VQ100I

Part filter

Family: ProASIC3 Die: All Package: All  
Speed: All Core voltage: All Range: All

Reset filters

Search part:

Part Number	VersaTiles (D-Flip)	Maximum User I/O	Differential IO	VersaNet Globals	Integrated PLLs in	4608-Bit Blocks	RAM
A3PN125-1VQ100I	3072	71	0	18	1	8	36
A3PN125-2VQ100	3072	71	0	18	1	8	36
A3PN125-2VQ100I	3072	71	0	18	1	8	36
A3PN125-VQ100	3072	71	0	18	1	8	36
A3PN125-VQ100I	3072	71	0	18	1	8	36
A3PN125Z-1VQ100	3072	71	0	18	1	8	36
A3PN125Z-1VQ100I	3072	71	0	18	1	8	36
A3PN125Z-2VQ100	3072	71	0	18	1	8	36
A3PN125Z-2VQ100I	3072	71	0	18	1	8	36
A3PN125Z-VQ100	3072	71	0	18	1	8	36
A3PN125Z-VQ100I	3072	71	0	18	1	8	36
A3PN250-1VQ100	6144	68	0	18	1	8	36
A3PN250-1VQ100I	6144	68	0	18	1	8	36
A3PN250-2VQ100	6144	68	0	18	1	8	36

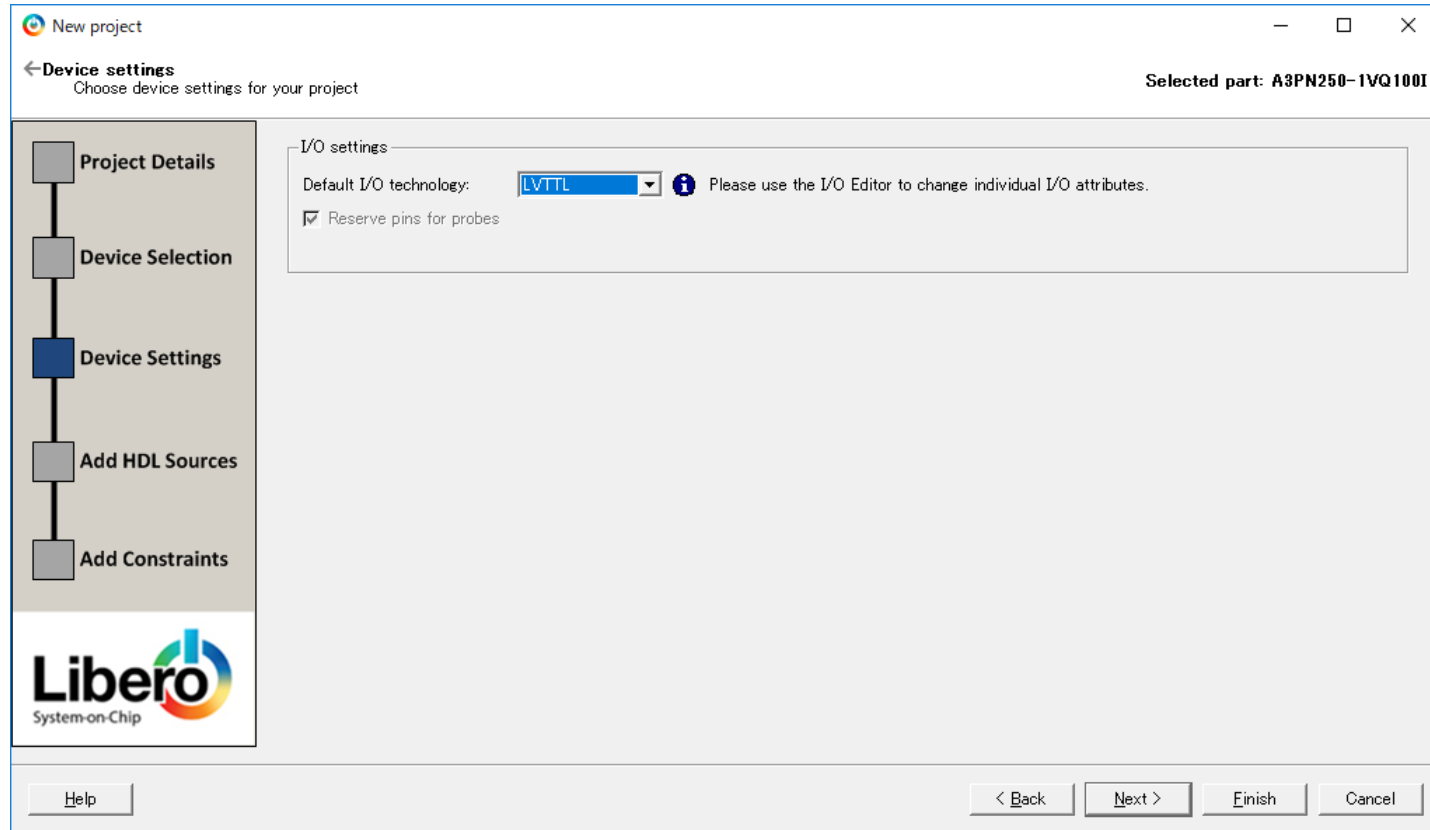
Help < Back Next > Finish Cancel

- 後でFPGAファミリを超えるデバイスの変更は出来ないので注意すること。
- 同じFPGAファミリ内であれば、後でもデバイスの変更をすることが出来る。

設定したら「Next」を押す。

# 4. プロジェクト生成ウィザード

FPGAのI/Oピンの設定を行う。

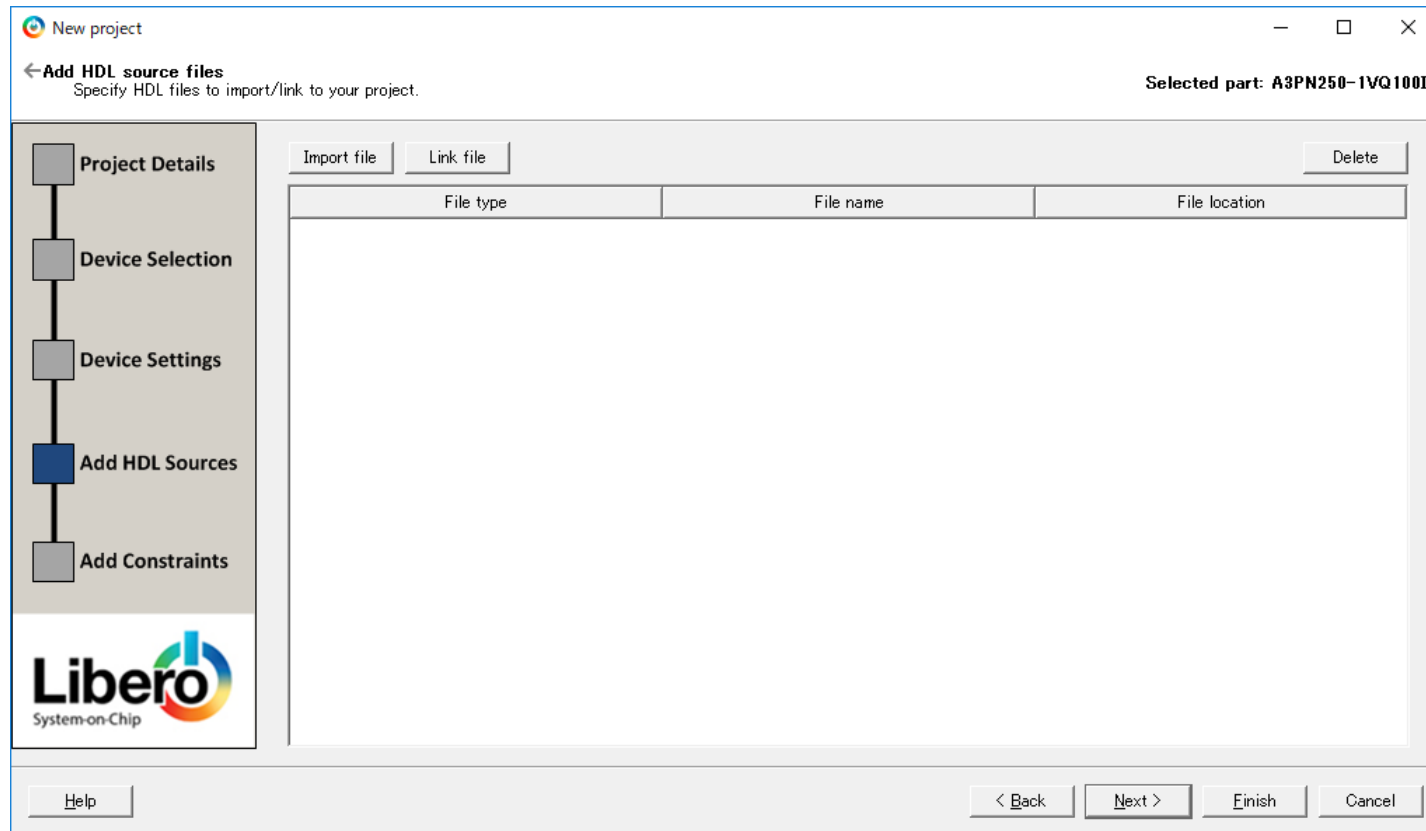


- I/Oピンの設定は後で変更可。
- とりあえず、LvTTL等にしておけばOK。

設定したら「Next」を押す。

# 5. プロジェクト生成ウィザード

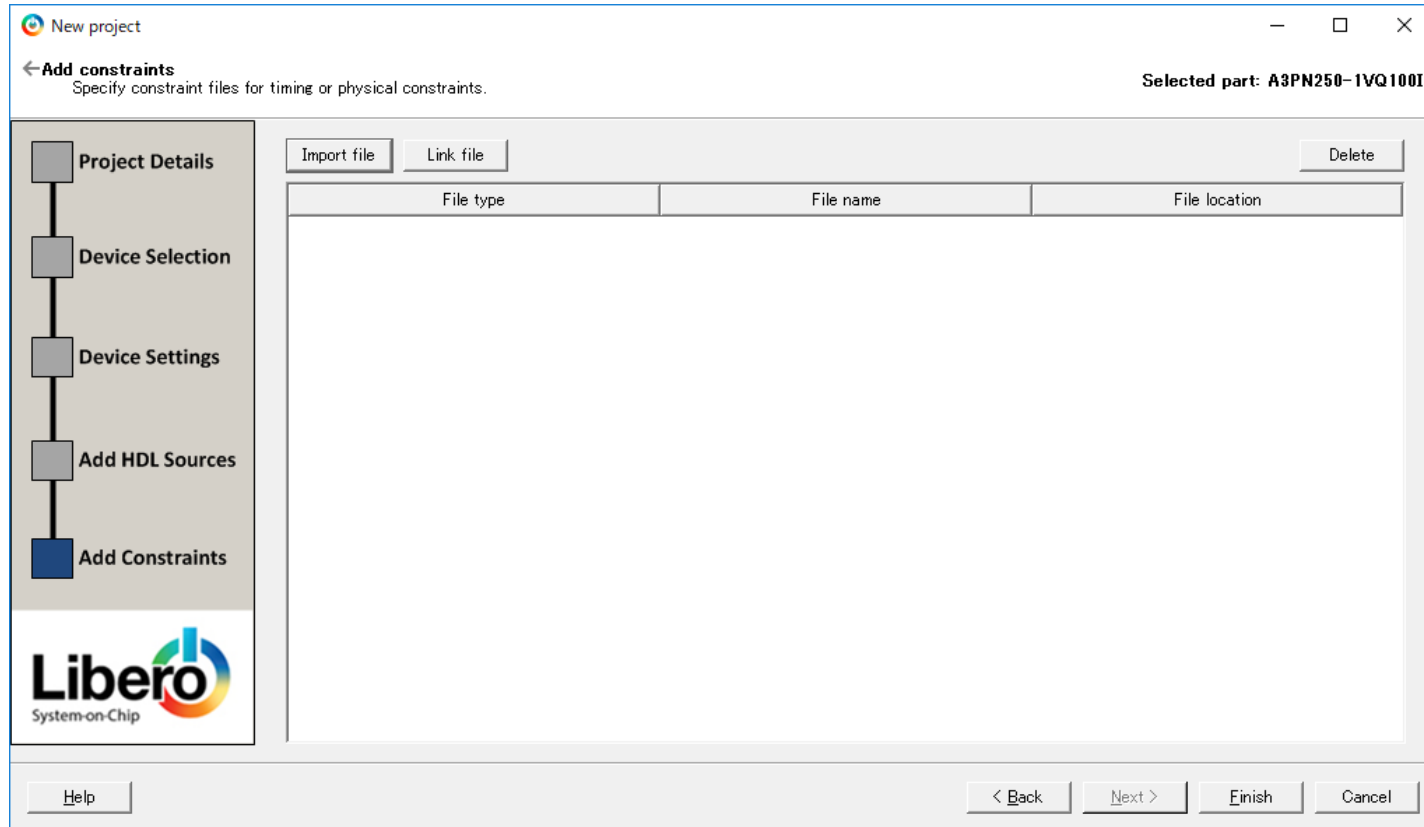
HDLファイルのインポートが出来る。



- 使用したいHDLファイルがあれば、この画面でプロジェクトにインポートすることができる。後で、インポートすることも出来る。
- 特になければ、何もせずにそのまま「Next」でOK

## 6. プロジェクト生成ウィザード

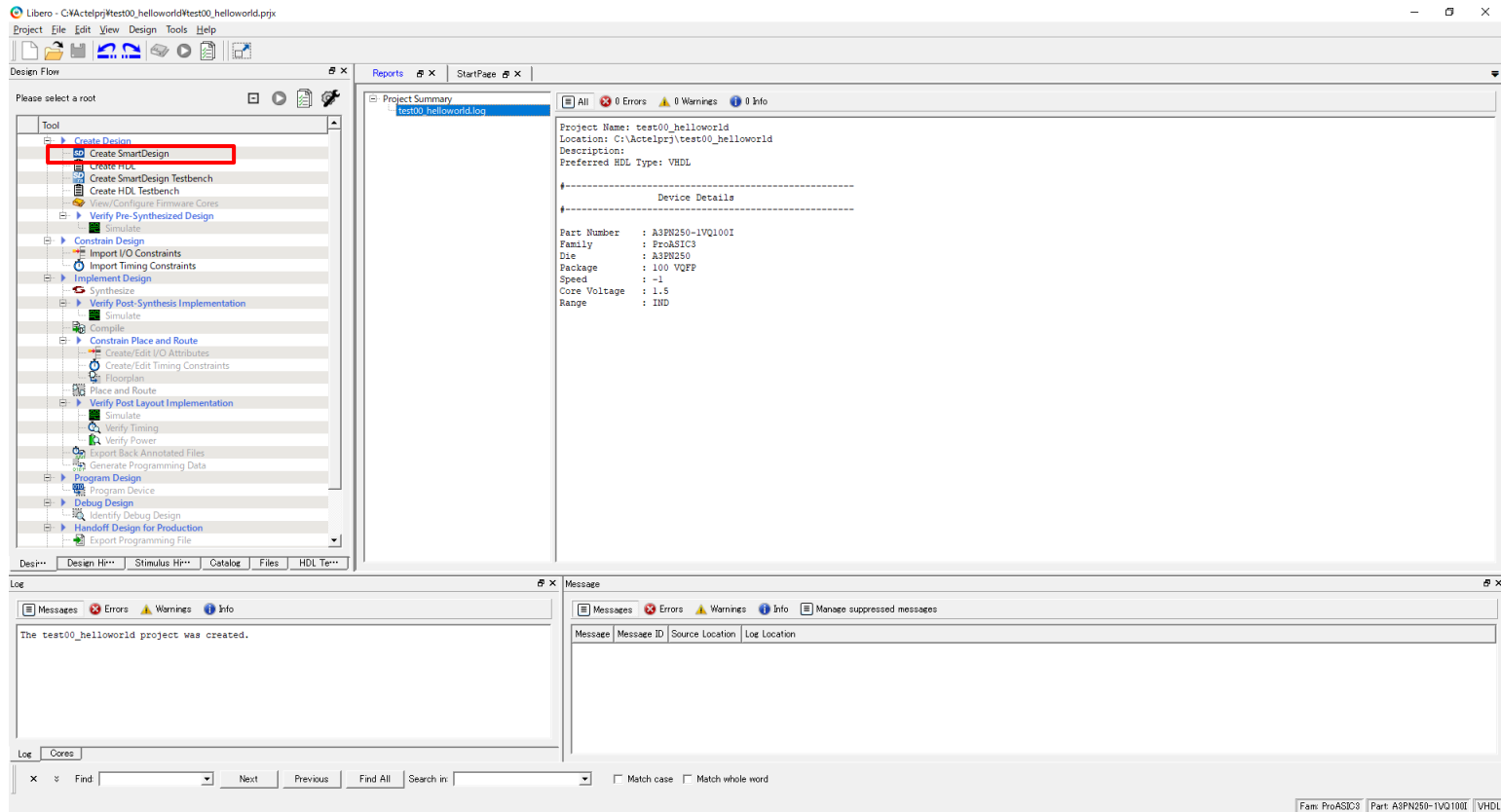
設定ファイルのインポートが出来る。



- 設定ファイルをインポートすることが出来る。後でインポートすることも出来る。
- 特になければ、何もせずにそのまま「Finish」でOK

# 7. LiberoSoc起動画面

次に新規HDLファイルを生成する。

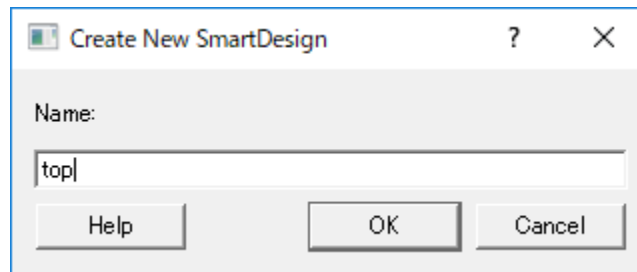


- TOP層は「Create SmartDesign」で作成することをオススメする。SmartDesignはGUI形式で回路を接続 & 構成することができ、作成、変更、維持が容易。SmartDesignでも最終的な出力はHDL言語となる(自動で生成される)。
- もちろん、手打ち(HDL言語)でTOP層を作成することも出来る。



## 8. SmartDesignによるTOP層の作成

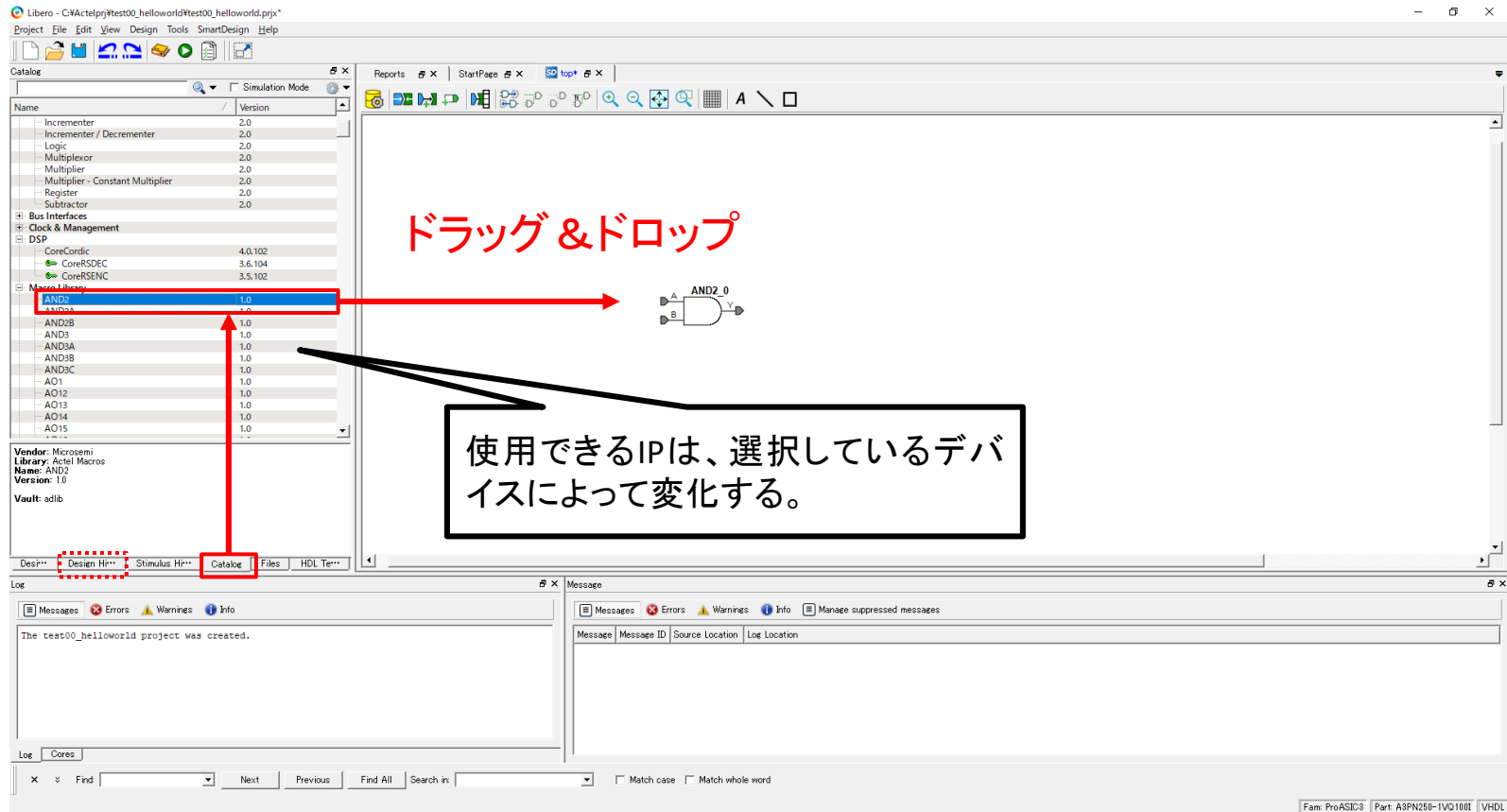
「Create SmartDesign」をダブルクリックする。



- TOP層は、TOP層であることが分かるように「top」と命名することをオススメする。TOP層であることが明確なら、命名規則はなんでもよい。
- 入力良ければ、「OK」を押す。

# 9. SmartDesignによる回路設計

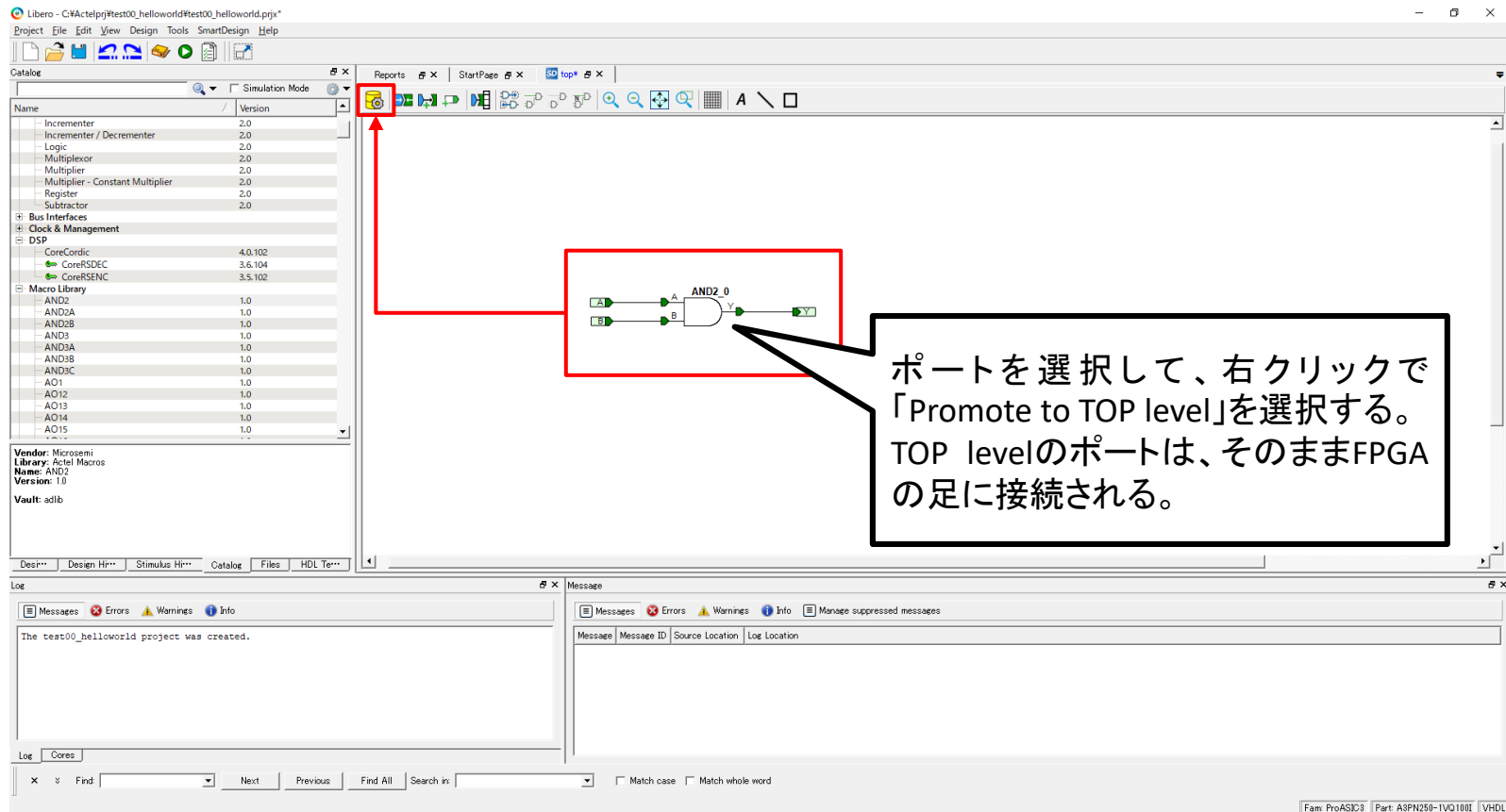
## 「Catalog」から使用したいIPをドラッグ & ドロップする



- タブ「Catalog」を選択し、使用したいIPを右の画面(TOP)にドラッグ & ドロップする。
- 上記では、「MacroLibrary>AND2」をドラッグ & ドロップしている。
- TOP (SmartDesign) へは、Catalogからだけでなく、自身で作成したHDLもドラッグ & ドロップ(入力)することが出来る。

# 10. SmartDesignによる回路設計

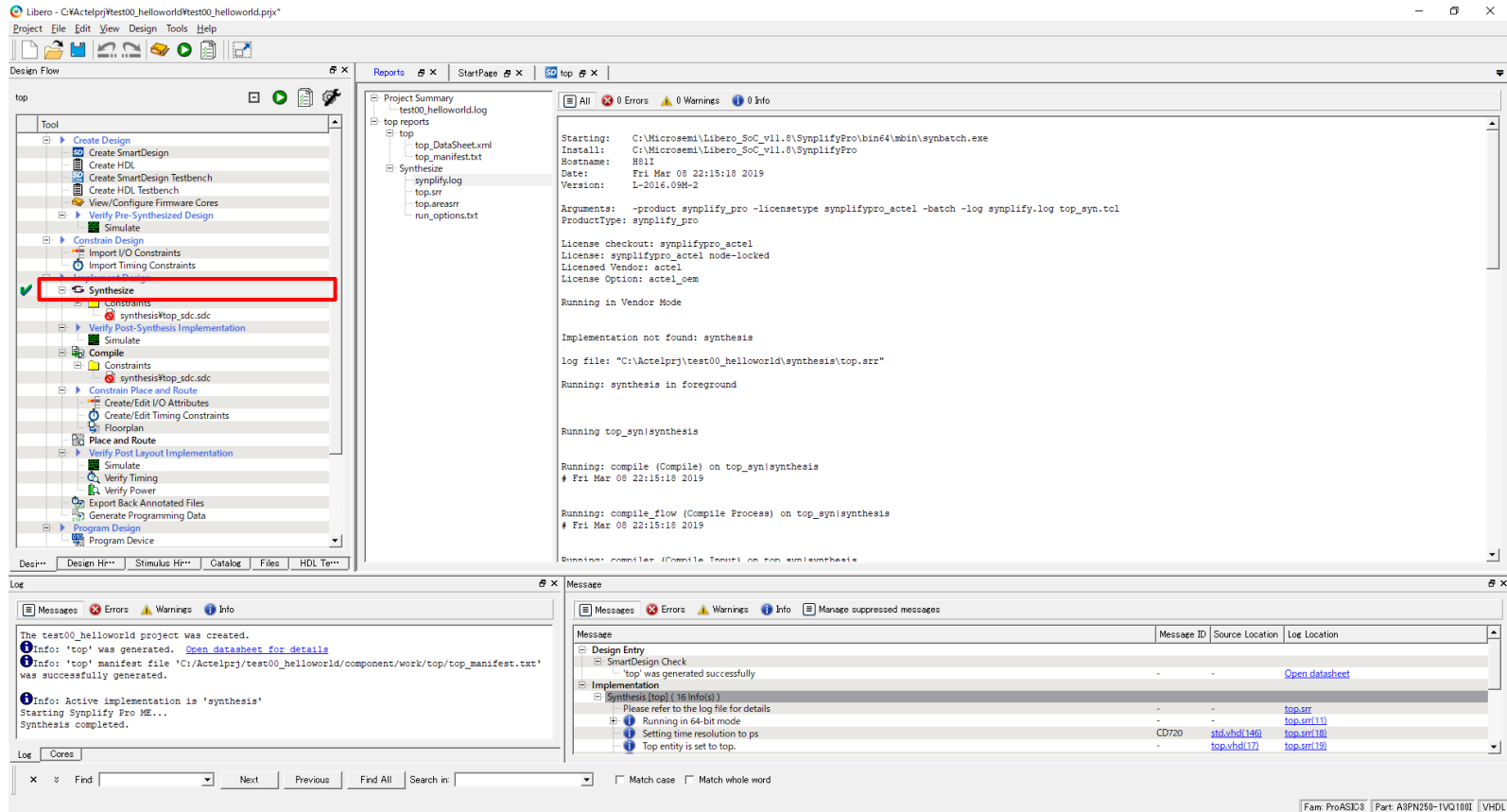
回路にポートを追加する。



- 回路同士の接続やポートを接続する。
- 上記の例では、A、B、Yに「Promote to TOP Level」を選択し、ポートに接続する。
- ポートを追加したら、左上の「Generate comp...」をクリックする。作成したTOP層のHDLファイルが生成される。

# 11. 論理合成

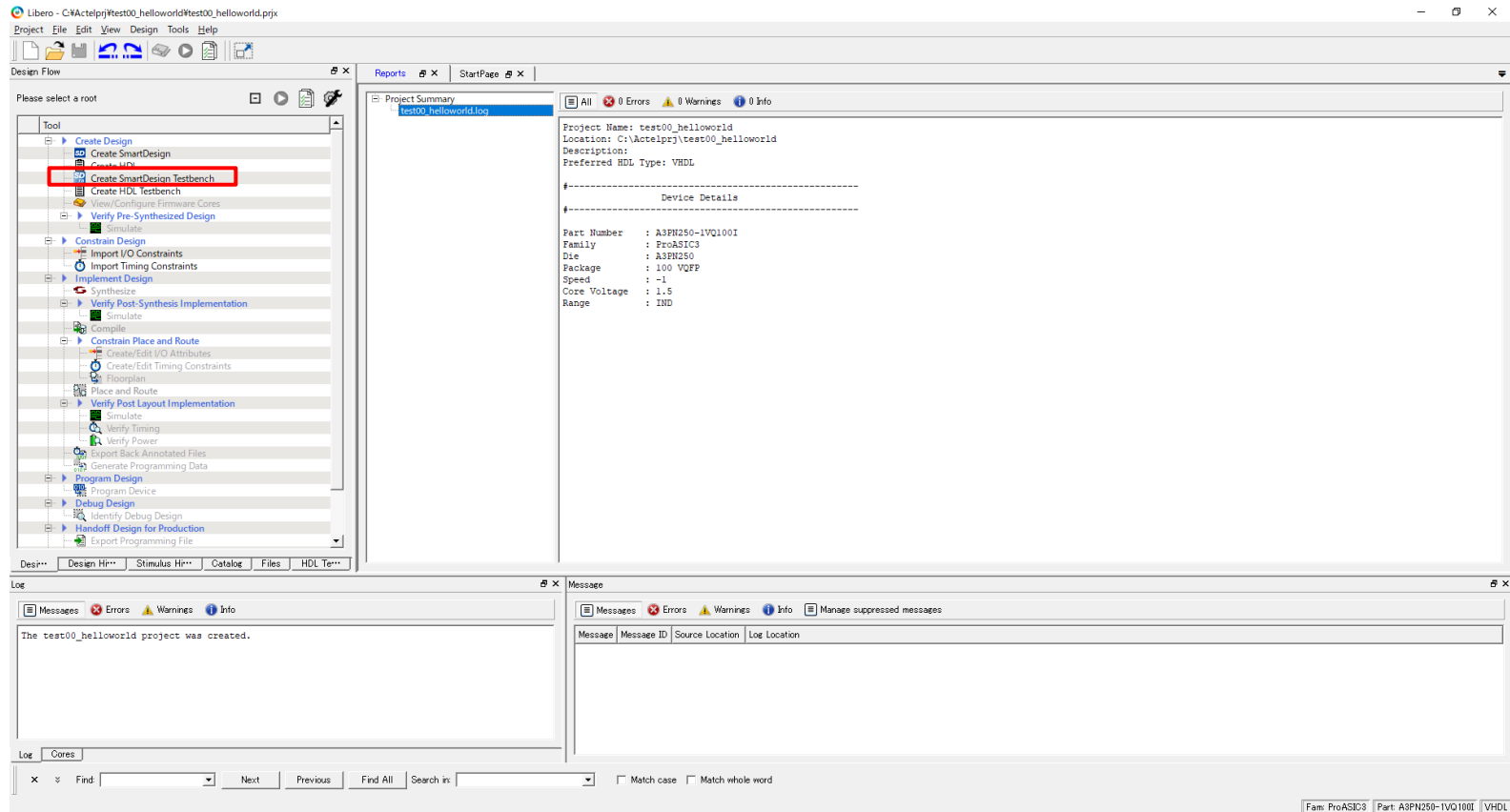
「Synthesize」を右クリックで「Run」を選択する。



- 作成した回路が合成される。上記のような緑色チェックになればOK。
- エラーが出た場合は、メッセージをよく確認する。ポートの接続やHDLのコードをよく確認する(文法的にはよくても実現不可能な回路の場合はエラーとなることがよくある)。

# 12. テストベンチの作成

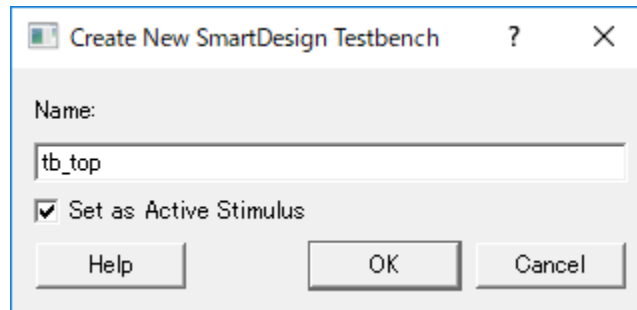
次にシミュレーション用のHDLファイルを生成する。



- テストベンチのTOP層は、「Create SmartDesign Testbench」で作成することをオススメする。
- ダブルクリックする。

# 13. テストベンチの作成

「Create SmartDesign Testbench」をダブルクリックする。



- テストベンチのTOP層は、TOP層であることが分かるように「tb\_top」と命名することをオススメする。テストベンチであることがわかれば、命名規則はなんでもよい。
- 入力良ければ、「OK」を押す。
- テストベンチは複数作成し、シミュレーションしたいものをその都度、選択することが出来る。

# 14. テストベンチの作成

作成した回路が表示されるので入力を模擬する。

右クリックで、「Tile High」を選択

右クリックで、「Tile Low」を選択

右クリックで、「Promote to Top level」を選択

入力A	入力B	出力
0	0	0
0	1	0
1	0	0
1	1	1

Log

Messages

The test00\_helloworld project was created.  
Info: 'top' was generated. [Open datasheet for details](#)  
Info: 'top' manifest file  
'C:/Actelprj/test00\_helloworld/component/work/top/top\_manifest.txt' was successfully generated.  
Info: Active implementation is 'synthesis'  
Starting Synplify Pro ME...  
Synthesis completed.

Message

Message ID Source Location Log Location

Design Entry

SmartDesign Check

top was generated successfully [Open datasheet](#)

Implementation

Synthesis (top) (16 Info(s))

Please refer to the log file for details

Running in 64-bit mode top.srr 11

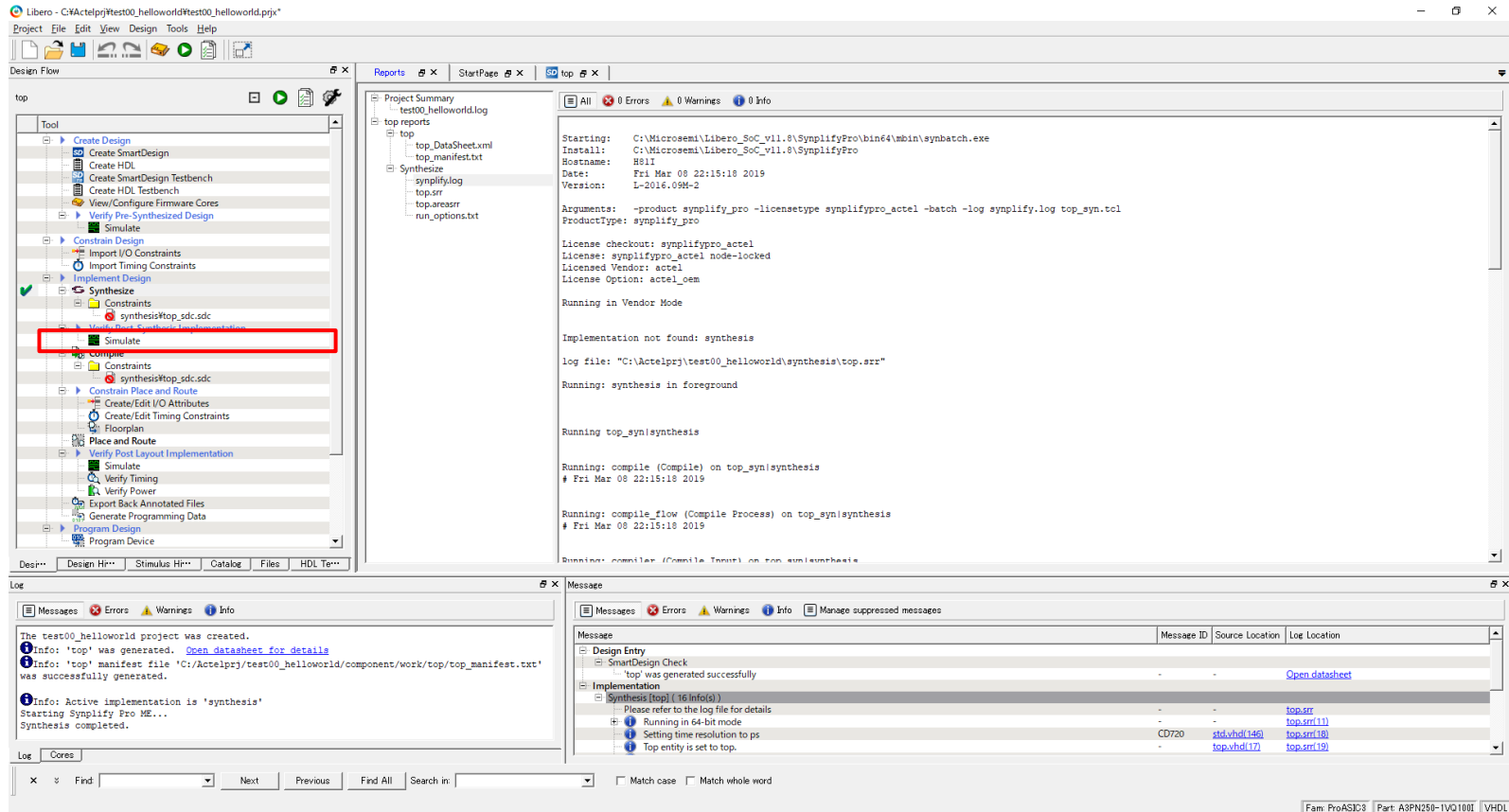
Setting time resolution to ps top.vhdl 146 top.srr 116

Top entity is set to top. top.vhdl 117 top.srr 119

- A=1、B=0の入力し、出力が0になることを確認する。
- 設定が完了したら、「Generate comp...」を押し、テストベンチを生成する。

# 15. ModelSimの起動

「Simulate」をダブルクリックする。

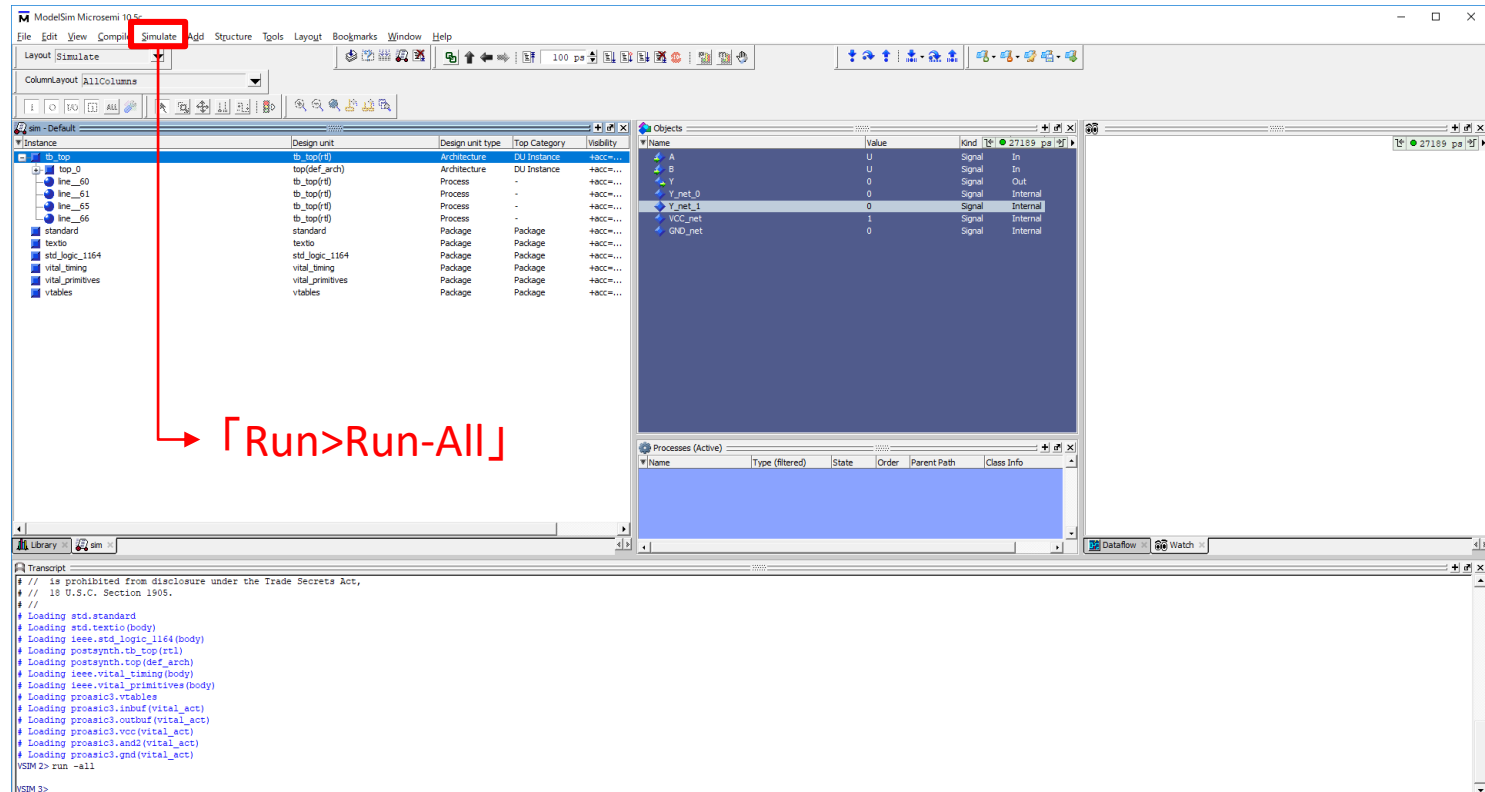


- テストベンチの生成 (Generate comp...) が成功していること。失敗しているとモデルがないためエラーとなる。
- 「Simulate」をダブルクリックすると、ModelSimというシミュレーションソフトが起動する。



# 16. ModelSimの起動画面

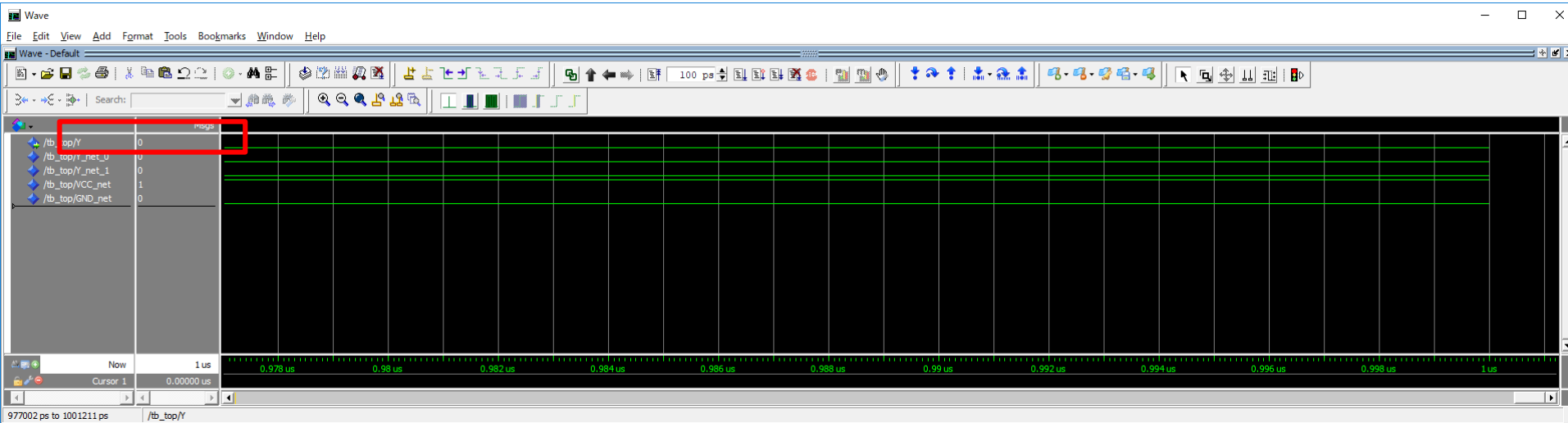
ModelSimの説明は割愛(専門本も出ているので...)



- 「Simulate」の「Run>Run-All」を選択する。

# 17. ModelSimのシミュレーション結果

テストベンチの出力を確認する。



- Yの出力が0であることが確認出来る。

入力A	入力B	出力
0	0	0
0	1	0
1	0	0
1	1	1