

第三回中間発表

4班
瀬沼、高橋、津田、富山、張本

進捗と今後の予定の報告

ハードウェア (1)

- ◆ 制御回路：
 - ☆パイプラインの全てのステージ (2つ) 完成
 - ☆トップレベルで接続してひとまず完成 (FPUなし)
 - ☆fibが動いたらFPUを乗せる予定
- ◆ SRAM:
 - ☆とりあえず動いたが、微妙にバグがあるようなので、今後修正する予定
- ◆ USB:
 - ☆完了。SRAMの4MB読み出しOK

ハードウェア (2)

- ◆ 今後の予定：
 - ☆動作検証。まずは実機でfib
 - ☆その後FPUを乗せる予定

- ◆ FPU:
 - ☆精度の測定と不具合の修正が終了
 - ☆今後は高速化とパイプライン化

ソフトウェア

- ◆ ライブラリ：
 - ☆完成 (Ocamlで)
 - ☆計算の精度を多めにしている、精度をぎりぎりまで落として高速化する予定
- ◆ アセンブラ：
 - ☆ひとまず完成。ある程度テスト済み
 - ☆文字列照合の部分などで高速化する予定
- ◆ シミュレータ：
 - ☆とりあえず完成。
 - ☆ FPUの部分に微妙にバグがあるようなので今後テストして修正する予定

コンパイラ

- ◆ 進捗：
 - ☆クロージャ変換完成
 - ☆仮想マシンコード生成完成

- ◆ 今後の予定：
 - ☆レジスタ割り付け、アセンブリ生成、最適化
 - ☆2月中旬にアセンブリ生成を完成し、その後最適化を図る予定
 - ☆テストをしながら進めているため、完成したときにfibもmin-rtも通るはず

変更点及び今後の見通し

- ◆ 変更点：
アーキテクチャに変更なし

- ◆ 今後の予定：
今回の中間発表でレイトレ完動を予定していたが、2月中旬に変更