

デジタル回路シミュレーション

1 実験目的

本実験はデジタル回路の基本構成要素である CMOS インバータの静特性および動特性を回路シミュレータ SPICE を用いて解析し，その概念や動作原理に対する理解を深めることを目的としている．

2 原理

2.1 MOSFET の静特性

MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) は現在のデジタル集積回路を構成する主要な能動素子である．その回路記号を図 1 に示す．NMOS と PMOS の 2 種類の型があり，それぞれソース (Source)，ドレイン (Drain)，ゲート (Gate)，基板 (substrate) の 4 端子を有する．

集積回路の設計や検証を行う際，様々な計算機シミュレーション技術が活用されるが，それらの中で回路内部の電流や電圧の解析 (直流，交流，過渡など) を行うため現在事実上の標準となっているツールが，SPICE (Simulation Program with Integrated Circuit Emphasis) である．SPICE には解析すべき各素子の電気特性が解析式でモデル化され組み込まれる．MOSFET のモデルにも様々なバージョンがあるが，本課題では最も簡単な Level 1 モデルを用いる．これによれば，ドレイン電流 I_D は図 1 のようにソースを基準に測った各端子電圧，すなわち V_{DS} ， V_{GS} ， V_{BS} の関数として次式のように与えられる (複号は上が NMOS，下が PMOS の場合に対応している)．

(1) オフ領域 ($V_{GS} - V_T \leq 0$)

$$I_D = 0 \quad (1)$$

(2) 線形領域 ($V_{GS} - V_T \geq V_{DS}$)

$$I_D = \pm k \left[(V_{GS} - V_T)V_{DS} - \frac{V_{DS}^2}{2} \right] (1 \pm \lambda V_{DS}) \quad (2)$$

(3) 飽和領域 ($0 \leq V_{GS} - V_T \leq V_{DS}$)

$$I_D = \pm \frac{k}{2} (V_{GS} - V_T)^2 (1 \pm \lambda V_{DS}) \quad (3)$$

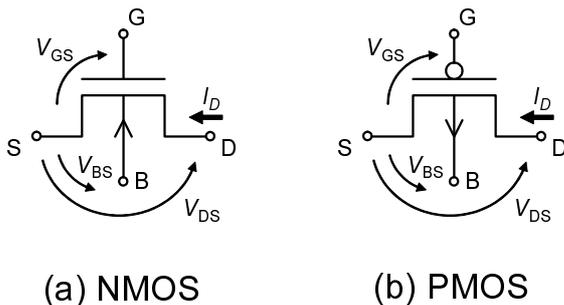


図 1: MOSFET の回路記号．ソース (S)，ドレイン (D)，ゲート (G)，基板 (B) 端子を有する (a) N チャネル MOS と (b) P チャネル MOS を示している．

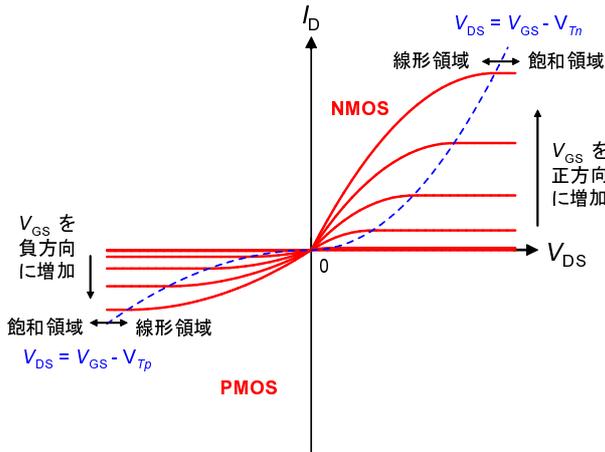


図 2: MOSFET の $I_D - V_{DS}$ 特性 .

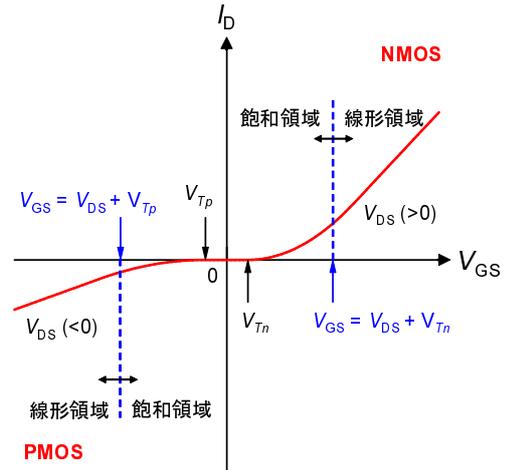


図 3: MOSFET の $I_D - V_{GS}$ 特性 .

ここで, V_T はしきい値電圧で V_{BS} に依存する .

$$V_T = V_{T0} \pm \gamma(\sqrt{|2\phi_F| \mp V_{BS}} - \sqrt{|2\phi_F|}) \quad (4)$$

ただし, V_{T0} (ゼロ基板バイアスしきい値), γ (基板バイアス係数), ϕ_F (基板フェルミ準位) はそれぞれ定数である . また, 式 (2), (3) の係数 k は MOSFET のサイズ, すなわちチャンネル長 L とチャンネル幅 W に次式のように依存する .

$$k = \frac{W}{L} k' = \frac{W}{L} \mu C_{ox} \quad (5)$$

ここで, k' は相互コンダクタンス係数, μ は移動度, C_{ox} は単位面積あたりのゲート酸化膜容量である . また, λ はチャンネル長変調効果係数と呼ばれ, 特に短チャンネル MOSFET の飽和領域の I_D が V_{DS} に依存する現象を表現するため用いられる .

図 2, 3 に Level 1 モデルを用いて計算した MOSFET の電流-電圧特性の例を示す . NMOS と PMOS では, ちょうど電圧と電流の符号を逆転させた特性を持つ . なお, シリコンを用いた一般的な MOSFET の場合, 同サイズで比較すると NMOS よりも PMOS の方が移動度が小さいため電流値は低い .

2.2 CMOS インバータの静特性

CMOS インバータは図 4 のように電源電圧 (V_{DD}) と接地の間に NMOS と PMOS を接続し構成される . 論理を電位で表現 (接地を “0”, V_{DD} を “1”) すると, 入力端子 V_{in} と出力端子 V_{out} の電位の間には論理演算 NOT の関係が成立する . この原理を図 5 のような負荷曲線から考えよう . 図 4 のように CMOS インバータ内における NMOS の端子電圧は

$$V_{DSn} = V_{out}, \quad V_{GSn} = V_{in} \quad (6)$$

で与えられ, 一方 PMOS の場合は

$$V_{DSp} = V_{out} - V_{DD}, \quad V_{GSp} = V_{in} - V_{DD} \quad (7)$$

となる . 図 5 では, 横軸に V_{in} , 縦軸に V_{out} をとり NMOS に流れる I_{Dn} と PMOS に流れる電

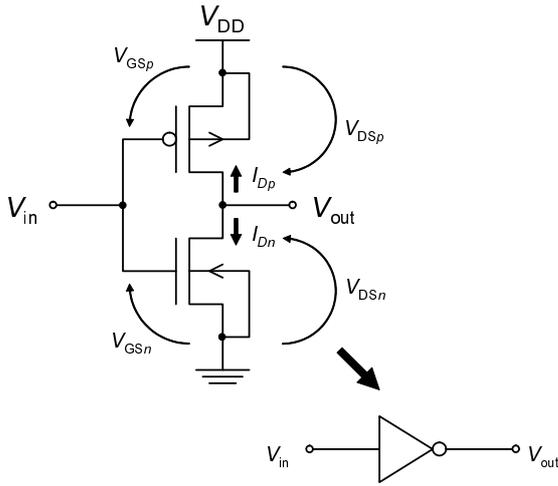


図 4: CMOS インバータ回路とその略記号 .

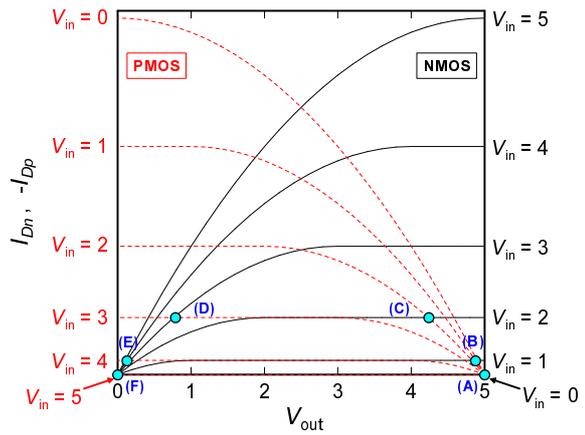


図 5: CMOS インバータの負荷曲線 .

流の符号を反転した $-I_{Dp}$ を V_{in} をパラメータとしてプロットした . いま NMOS と PMOS は直列につながっているので , 電流保存則より

$$I_{Dn}(V_{in}, V_{out}) = -I_{Dp}(V_{in}, V_{out}) \quad (8)$$

を満たす (V_{in}, V_{out}) が図 4 の回路では実現されることとなる . 図 5 から求められるこれら動作点 (たとえば点 (A) ~ (F)) を V_{in} と V_{out} の関係としてプロットしたものが図 6 (a) である . これをインバータの伝達特性といい , 入出力間に確かに NOT の関係が成り立っていることが分かる . また , 図 6 (b) は V_{DD} から接地に流れる電流 (貫通電流という) の特性であり , 論理が確定している , すなわち $V_{in} = 0$ または $V_{in} = V_{DD}$ の時には流れない .

$V_{in} = V_{out}$ となる電圧をスイッチングしきい値とよび V_M と表す . たとえば , チャネル長変調効果が無視できるとき ($\lambda = 0$) には

$$V_M = \frac{V_{Tn} + r(V_{DD} + V_{Tp})}{1 + r} \quad \text{ただし } r \equiv \sqrt{\frac{k_p}{k_n}} \quad (9)$$

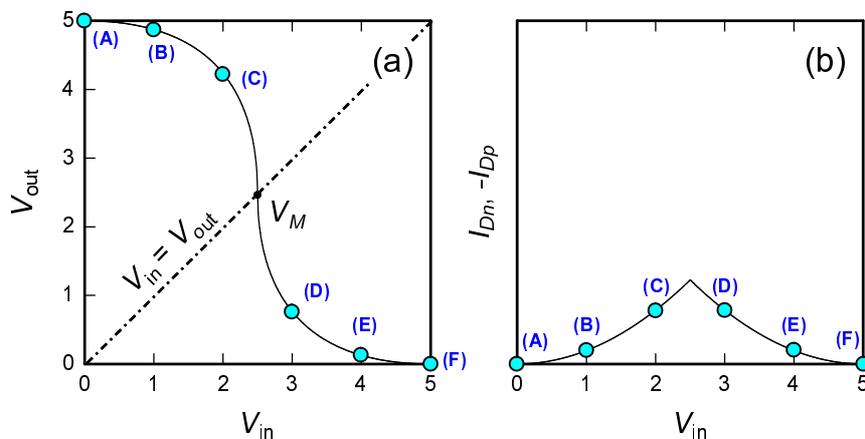


図 6: CMOS インバータの (a) 伝達特性と (b) 貫通電流 .

となる．インバータのノイズ耐性を高めるためには、 $V_M = V_{DD}/2$ となることが望ましいとされる．

2.3 CMOS インバータの動特性

一般にデジタル回路では、ある論理演算の出力結果を他の演算の入力として与え、その過程を何段も繰り返すことで複雑な情報処理を実行する．ここでは、その最も基本的な例として、図 8 のような CMOS インバータが 2 段接続された回路を考え、その動特性を解析しよう．

2.1 で解説した MOSFET の静特性は、あくまで端子電圧を印加し十分時間が経過した後に実現される定常状態を記述するモデルで、急激に電圧が変化し直後の過渡特性を取り扱うには不十分といえる．実際には、端子電圧が変動するとそれに伴い素子内部の電荷（空乏層空間電荷や反転層キャリア）も再分布する．現実の回路ではその際の充放電に有限の時間が費やされ、この時定数が回路の動作速度を律速する．こうした過程を反映するため、MOSFET の SPICE モデルでは、各端子間に寄生容量成分を挿入した図 7 のような等価回路が考慮されている．

図 8 のインバータ回路において、 V_{in} の変化に伴うノード①の電位 V_{out} の過渡応答を考えよう．論理回路の動作速度の指標として遅延時間 t_p がある．これは、図 9 に示すように V_{in} が論理振幅の 50% まで上昇（下降）してから、 V_{out} が 50% 下降（上昇）するまでの時間遅れとして定義されている． V_{out} の変動にはノード①と他ノードを結ぶ寄生容量（図 8 のように MOSFET 自身の寄生容量以外に配線容量 C_W も含まれる）に蓄えられた電荷の充放電が伴う．ここで解析を簡単化するため、図 9 のようにこれらの寄生容量を合成して 1 個の等価的な負荷容量 C_L で置き換える．すると、例えば V_{in} が 0 から V_{DD} に瞬間的に切り替わったときの遅延時間は

$$t_{pHL} = \int_{V_{DD}}^{V_{DD}/2} \frac{C_L}{-I_{Dn}} dV_{out} \quad (10)$$

$$= \int_{V_{DD}}^{V_{DD}-V_{Tn}} \frac{C_L}{-(k_n/2)(V_{DD}-V_{Tn})^2} dV_{out} + \int_{V_{DD}-V_{Tn}}^{V_{DD}/2} \frac{C_L}{-k_n[(V_{DD}-V_{Tn})V_{out} - V_{out}^2/2]} dV_{out} \quad (11)$$

$$= \frac{2C_L V_{Tn}}{k_n(V_{DD}-V_{Tn})^2} + \frac{C_L}{k_n(V_{DD}-V_{Tn})} \ln\left(3 - \frac{4V_{Tn}}{V_{DD}}\right) \quad (12)$$

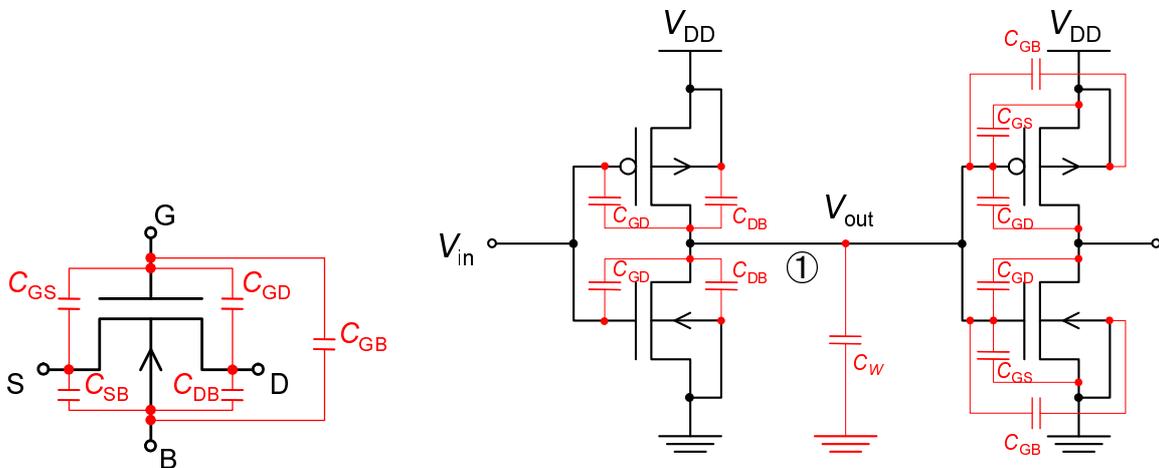


図 7: MOSFET の寄生容量モデル． 図 8: インバータのノード①と他のノードを結合する寄生容量．

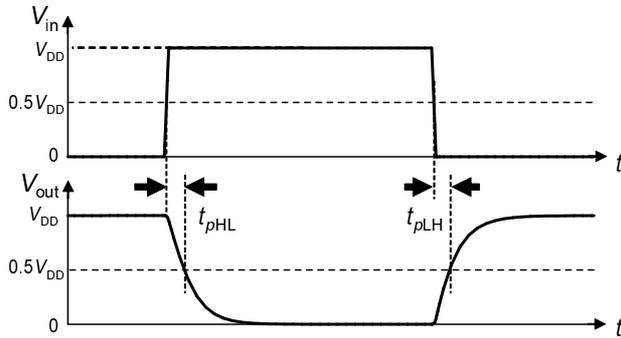


図 9: 遅延時間 t_p の定義 .

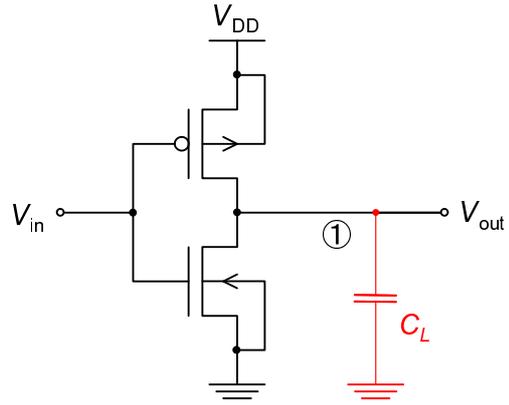


図 10: 図 8 の寄生容量を等価的な 1 つの負荷容量 C_L で置き換えたインバータ回路モデル .

と与えられる . これらの式は , C_L に蓄えられた電荷が NMOS を通じ放電する過程を表しており , 式 (11) の第 1 項と第 2 項はそれぞれ飽和 , 線形領域の動作に対応している .

3 基本的なシミュレーション

3.1 過渡解析

図 11 に示す RC 直列回路の出力電圧 V_{out} の波形を SPICE で求めよ . ただし , 印加電圧は図 12 に示す矩形パルス状の繰り返し波形とする . また , $R = 20 \text{ k}\Omega$, $C = 100 \text{ fF}$, $V_{low} = 0 \text{ V}$, $V_{high} = 5 \text{ V}$ とすること .

3.2 DC 解析

NMOS と PMOS の静特性について , つぎのシミュレーションを実行せよ . ただし , NMOS と PMOS のサイズはともに $L = W = 5 \mu\text{m}$ とし , 素子パラメータを表 1 に示す値に設定せよ .

- (1) 図 13 に示す回路において , V_{DS} を 0 V から 5 V まで変化させたときの $I_D - V_{DS}$ 特性 (V_{GS} は 0 V から 5 V まで 1 V 刻みで設定) , および V_{GS} を 0 V から 5 V まで変化させたときの $I_D - V_{GS}$ 特性 (V_{DS} は 0.05 V と 5 V に設定) を求めよ .
- (2) 図 13 の NMOS を PMOS に置き換え , V_{DS} を 0 V から -5 V まで変化させたときの $I_D - V_{DS}$ 特性 (V_{GS} は 0 V から -5 V まで -1 V 刻みで設定) , および V_{GS} を 0 V から -5 V まで変化させたときの $I_D - V_{GS}$ 特性 (V_{DS} は -0.05 V と -5 V に設定) を求めよ .

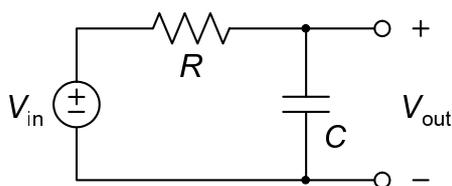


図 11: RC 直列回路 .

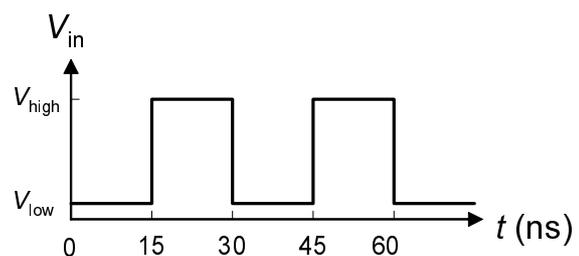


図 12: 入力電圧 V_{in} の波形 .

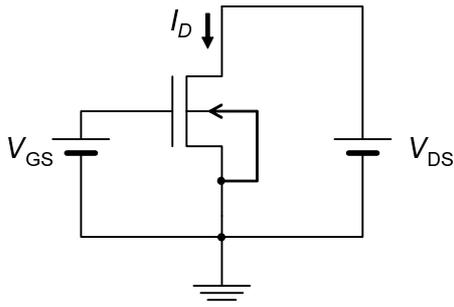


図 13: NMOS の静特性を求めるための回路 ($V_{BS} = 0 \text{ V}$) .

表 1: 本実験で使用する NMOS および PMOS のパラメータ .

	V_{T0} (V)	k' (A/V ²)	λ (V ⁻¹)
NMOS	0.8	2.0×10^{-5}	0
PMOS	-0.8	6.7×10^{-6}	0

4 インバータ静特性のシミュレーション

図 4 に示した CMOS インバータの伝達特性および貫通電流の V_{in} 依存性について、つぎのシミュレーションを実行せよ。ただし、素子パラメータには表 1 の値を用い、 $V_{DD} = 5 \text{ V}$ とすること。

- (1) N および PMOS のサイズがともに $L = W = 5 \mu\text{m}$ の場合。
- (2) NMOS のサイズを $L = W = 5 \mu\text{m}$, PMOS のチャンネル長を $L = 5 \mu\text{m}$ と決めた上で、 $V_M = V_{DD}/2$ となるよう PMOS のチャンネル幅 W を設定した場合。

5 インバータ動特性のシミュレーション

5.1 遅延時間の評価

図 10 の CMOS インバータ回路の出力 V_{out} の時間応答について、つぎの 3 通りのシミュレーションを行い、遅延時間 t_{pHL} および t_{pLH} を評価せよ。ただし、 V_{in} には図 12 の電圧波形を入力し、 $V_{low} = 0 \text{ V}$, $V_{high} = V_{DD}$ とする。また、トランジスタには 4 (2) と同じものを用いること。

- (1) $V_{DD} = 5 \text{ V}$, $C_L = 100 \text{ fF}$
- (2) $V_{DD} = 7 \text{ V}$, $C_L = 100 \text{ fF}$
- (3) $V_{DD} = 5 \text{ V}$, $C_L = 50 \text{ fF}$

5.2 ノイズ耐性

5.1 のインバータ回路を図 14 のように 3 段接続した回路を考える。何らかの擾乱のため V_{in} の振幅が、設計上の論理振幅 ($0 \text{ V} \sim V_{DD}$) より低下したとする。その際の出力電位 V_1 , V_2 , V_3 の応答を調べ、論理回路として正常に動作しているか否かを確認せよ。なお、 $V_{DD} = 5 \text{ V}$, $C_L = 100 \text{ fF}$ とし、つぎの 3 通りのシミュレーションを試みる事。

- (1) $V_{low} = 1 \text{ V}$, $V_{high} = 2 \text{ V}$
- (2) $V_{low} = 2 \text{ V}$, $V_{high} = 3 \text{ V}$
- (3) $V_{low} = 3 \text{ V}$, $V_{high} = 4 \text{ V}$

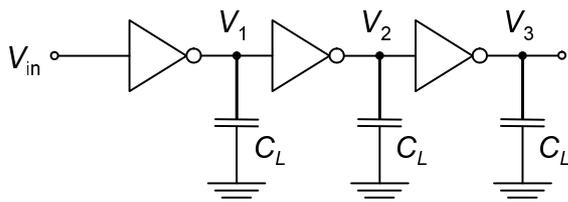


図 14: CMOS インバータを 3 段接続した論理回路 .

6 検討事項

- (1) 3.1 のシミュレーション結果から RC 時定数の値を読み取り，理論値と比較せよ .
- (2) 3.2 のシミュレーション結果を用いて図 5 のような負荷曲線を描き，4 (1) の伝達特性が確かに実現されることを確認せよ .
- (3) 式 (9) を導出せよ .
- (4) 式 (10) ~ (12) を参考に t_{pLH} の理論式を導出せよ .
- (5) 5.1 で求めた遅延時間を理論値と比較せよ .
- (6) 5.2 のシミュレーション結果は，出力電圧の振幅がインバータの段数を経るに従って正常値 ($0\text{ V} \sim V_{DD}$) に回復する場合としない場合に分かれるはずである . その違いが現れる原因について，4 (2) で求めたインバータ伝達特性を用いて説明せよ .
- (7) (5) に関連して，ノイズに対する耐性といった観点から望まれるインバータ伝達特性の理想形状について論ぜよ .
- (8) デジタル回路の動作速度を高速化するための方法について考察せよ .
- (9) CMOS インバータの消費電力を決定する要因について文献等を調査し，デジタル回路の速度と消費電力のトレードオフ関係について論ぜよ .