

## B5 電界効果トランジスタの基礎特性

MOS 型電界効果トランジスタは構造が簡単であり，リソグラフィ技術を用いて容易に集積度を高めることができる．このため，今日では全集積回路生産額の約 80 % を MOS 型集積回路が占めるに至っている．本研究の目的は，このような時代背景を念頭において MOS 型電界効果トランジスタの構造や動作原理，および表面反転層内におけるキャリアの輸送現象を理解することである．

### 1 MOS 型電界効果トランジスタの構造と動作原理

図 1 に MOS 電界効果トランジスタ (FET : Field Effect Transistor) の断面図を示す．MOSFET の特性解析にあたり，次の仮定をおく．

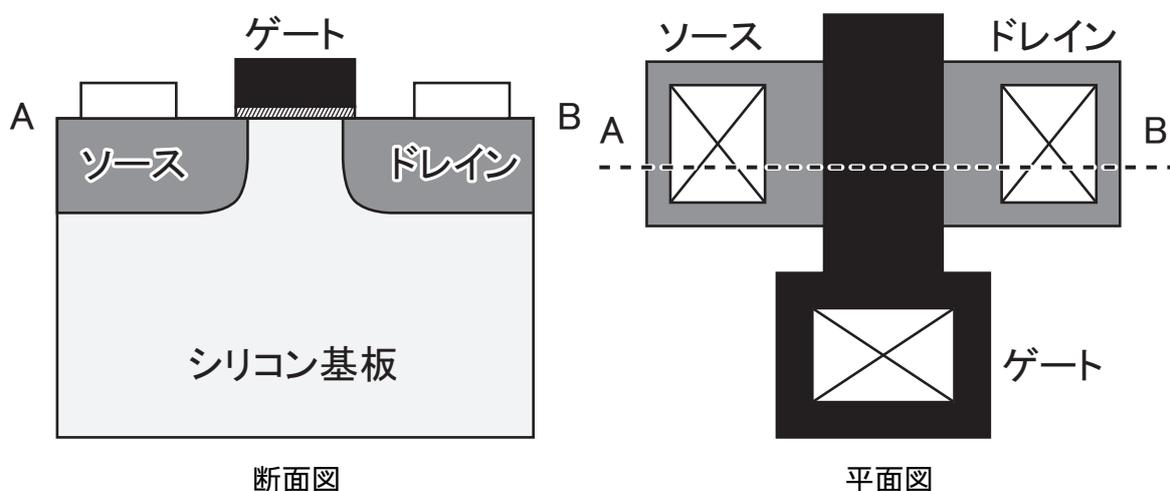


図 1 電界効果トランジスタの構造

- (I) 表面反転層中のキャリア移動度  $\mu$  の電界依存性を無視する．
- (II) チャネル内のソースからドレインへ向かう水平電界は，ゲートによる垂直電界に比べて小さい (gradual channel approximation) ．

これらの仮定のもとに MOS 電界効果トランジスタの特性を導出してみよう．図 2 に  $n$  チャネル MOSFET の断面図と電荷分布を示す． $V_{GS}$  をシリコン基板を基準としたゲート

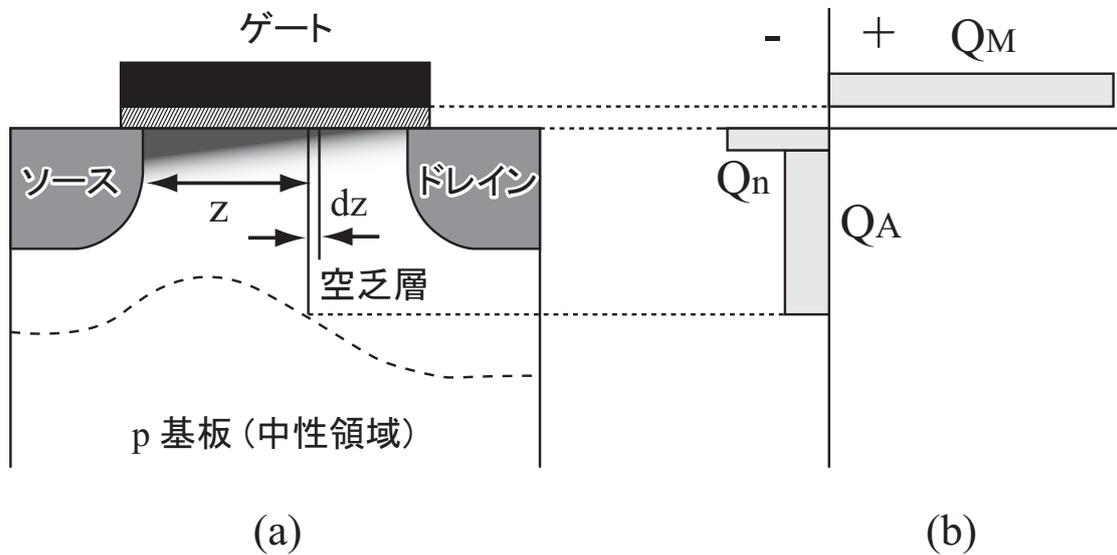


図2 (a)  $n$  チャネル MOSFET の断面図と, (b) ソースからの距離  $z$  の部分での電荷分布

電圧,  $\psi_s(z)$  をソース端からの距離  $z$  の位置におけるシリコンの表面準位とすると,  $\text{SiO}_2$  膜の両端に加わる電圧は  $V_{GS} - \psi_s(z)$  となる.  $\text{SiO}_2$  膜の単位面積あたりの静電容量を  $C_{ox}$  とすればゲート電極の単位面積あたりに誘起される電荷  $Q_M$  は次式で与えられる.

$$Q_M = C_{ox}[V_{GS} - \psi_s(z)] \quad (1)$$

チャンネル内の点  $z$  で表面反転層内に存在する電子による電荷を  $Q_n(z)$  とし, さらにシリコン中のアクセプタによる電荷を  $Q_A$  としたとき

$$Q_M + Q_A + Q_n = 0 \quad (2)$$

であるから

$$Q_n(z) = -(Q_M + Q_A) = -C_{ox}[V_{GS} - \psi_s(z)] - Q_A \quad (3)$$

となる.  $Q_A$  はシリコン中のアクセプタ密度  $N_A$  とチャンネルの表面電位  $\psi_s(z)$  で決まる量である. MOS キャパシタの場合, シリコン/酸化膜界面に反転層が形成されると, ゲート電界はこの反転層中のキャリアによって遮蔽されるので, 表面準位はほぼ一定になる.

$$\psi_s(z) = 2\phi_F \quad (4)$$

ここで  $\phi_F$  は基板内部のフェルミ準位と真性フェルミ準位との差に相当する量である. 一方, MOS 電界効果トランジスタの場合には, ソース-ドレイン間の電界の影響があるので

$$\psi_s(z) = 2\phi_F + V(z) \quad (5)$$

で表される．ただし

$$z = 0 \text{ のソース端で } V(0) = 0$$

$$z = L \text{ のドレイン端で } V(L) = V_{DS}$$

$V_{DS}$  : シリコン基板に対するドレイン電圧

である．結局， $Q_A$  として

$$Q_A = -\sqrt{2q\epsilon_s\epsilon_0N_A\{2\phi_F + V(z)\}} \quad (6)$$

$\epsilon_s$  : シリコンの比誘電率 ( $\epsilon_s = 11.7$  , また ,  $\text{SiO}_2$  の比誘電率は  $3.9$  とする)

$N_A$  : シリコン基板中のアクセプタ濃度

が得られる．一方，ソースドレイン電流  $I_{DS}$  はドレインからソースに流れる電流を正にとれば

$$I_{DS} = -q\mu_nWE_z \int n(x)dx \quad (7)$$

$x$  : シリコン表面から基板内部に向かう座標

$E_z = -\frac{dV}{dz}$  : チャネル内のソースドレイン間の電界強度

$\mu_n$  : チャネル内の電子の移動度

$n(x)$  : チャネル内の電子の密度

$W$  : チャネル幅

で表されるから，

$$E_z = -\frac{dV}{dz} \quad (8)$$

$$Q_n(x) = -\int qn(x)dx \quad (9)$$

を代入して

$$I_{DS} = -\mu_nWQ_n\frac{dV}{dz} \quad (10)$$

となる．これにさらに式 (3) および式 (7) を代入し， $I_{DS}$  がチャネルの全領域で一定であることを考慮して，式 (10) の両辺を  $z$  で積分すると

$$\begin{aligned} & \int_0^L I_{DS}dz \\ &= \mu_nW \int_0^{V_{DS}} \left[ C_{ox}\{V_{GS} - 2\phi_F - V(z)\} - \sqrt{2q\epsilon_s\epsilon_0N_A\{2\phi_F + V(z)\}} \right] dV \end{aligned} \quad (11)$$

すなわち

$$I_{DS} = \frac{W}{L} \mu_n \left[ C_{ox} \{ V_{GS} - 2\phi_F - \frac{1}{2} V_{DS} \} V_{DS} - \frac{2}{3} \sqrt{2q\epsilon_s\epsilon_0 N_A} \{ (2\phi_F + V_{DS})^{\frac{3}{2}} - (2\phi_F)^{\frac{3}{2}} \} \right] \quad (12)$$

が得られる．これがチャネル全面に反転層が形成されたときの MOS 電界効果トランジスタの静特性を表す式である．

## 2 強反転領域での静特性

式 (12) において， $V_{DS}$  が小さいときには

$$I_{DS} = \frac{W}{L} \mu_n C_{ox} \left[ (V_{GS} - V_T) V_{DS} - \frac{1}{2} V_{DS}^2 \right] \quad (13)$$

$$V_T = 2\phi_F + \frac{1}{C_{ox}} \sqrt{2q\epsilon_s\epsilon_0 N_A} (2\phi_F) + V_{FB} \quad (14)$$

とすることができる．ここで  $V_T$  は式 (14) から明らかなように，シリコン基板に表面反転層が形成され始めるゲート電圧であり，しきい値電圧 (threshold voltage) と呼んでいる． $V_{FB}$  はゲート材料とシリコン基板との仕事関数差等によって酸化膜に印加される電圧を補正する項でフラットバンド電圧と呼ぶ．実際の MOS 電界効果トランジスタでは  $V_{GS} < V_T$  でもわずかながら電流が流れる．この点については後の節で取り上げる．

$V_{DS}$  が大きくなると式 (13) の近似式は当然使えない．式 (12) から直接，ドレインコンダクタンスを計算すると

$$g_{DD} = \frac{\partial I_{DS}}{\partial V_{DS}} = \frac{W}{L} \mu_n \left[ C_{ox} \{ V_{GS} - 2\phi_F - V_{DS} \} - \sqrt{2q\epsilon_s\epsilon_0 N_A} \{ 2\phi_F + V_{DS} \} \right] \quad (15)$$

となり

$$V_{DS} = V_{GS} - 2\phi_F + K^2 \left( 1 - \sqrt{1 + \frac{2V_{GS}}{K^2}} \right) \quad (16)$$

$$K = \frac{1}{C_{ox}} \sqrt{q\epsilon_s\epsilon_0 N_A} \quad (17)$$

のとき  $g_{DD} = 0$  となる．この条件は  $z = L$  の点で  $Q_n = 0$  となることを意味しており，もはやチャネル全体にわたって反転層が形成されている条件を満たさなくなる．ドレイン電圧  $V_{DS}$  がそれ以上になると，印加された電圧はドレインの空間電荷層がチャネル方向に

伸びるのに費やされ，反転層ができていない端 ( $Q_n = 0$  となる点：ピンチオフ点) の位置が次第にソース側に移動することを意味している．このピンチオフ点の電位  $V_{\text{DSP}}$  は式 (16) より

$$V_{\text{DSP}} = V_{\text{GS}} - 2\phi_{\text{F}} + K^2 \left( 1 - \sqrt{1 + \frac{2V_{\text{GS}}}{K^2}} \right) \quad (18)$$

で与えられる．

いわゆるピンチオフを生じさせるドレイン電圧の下では，式 (11) の積分はソースからドレインまでではなく，ソースからピンチオフ点までで行うべきである．ピンチオフ点の位置を  $z = L_p$  とすれば

$$I_{\text{DS}} = \frac{W}{L_p} \mu_n \left[ C_{\text{ox}} \left\{ V_{\text{GS}} - 2\phi_{\text{F}} - \frac{1}{2} V_{\text{DSP}} \right\} V_{\text{DSP}} - \frac{2}{3} \sqrt{2q\epsilon_s\epsilon_0 N_A} \left\{ (2\phi_{\text{F}} + V_{\text{DSP}})^{\frac{3}{2}} - (2\phi_{\text{F}})^{\frac{3}{2}} \right\} \right] \quad (19)$$

となり， $I_{\text{DS}}$  への  $V_{\text{DS}}$  の影響は  $L_p$  を通じて入ってくる．すなわち， $L - L_p$  がドレイン接合の空間電荷層の厚さであるから，ドレイン接合について 1 次元モデルを適用すると

$$L - L_p = \left[ \frac{2\epsilon_s\epsilon_0}{qN_A} (V_{\text{DS}} - V_{\text{DSP}}) \right]^{\frac{1}{2}} \quad (20)$$

となり， $V_{\text{DS}}$  の増大とともに  $L_p$  が小さくなるため， $I_{\text{DS}}$  はドレイン電圧  $V_{\text{DS}}$  の増加とともに徐々に大きくなるのが分かる．

### 3 低電流領域での静特性

前節で述べたように， $V_{\text{GS}}$  がしきい値電圧  $V_{\text{T}}$  より小さくても  $I_{\text{DS}}$  は完全には零にならない．そこで，本節では  $V_{\text{GS}}$  が  $V_{\text{T}}$  近傍およびそれ以下にある領域での MOS 電界効果トランジスタの静特性を考える．

長チャネル MOSFET の弱反転領域における電気的特性を議論する場合，ソース，弱反転基板，ドレインをそれぞれバイポーラ素子のエミッタ，ベース，コレクタに対応させることができる．このような解析方法をとることができるためには，(1) チャネル内のキャリア密度が低く，(2) チャネル全体の表面電位がゲート電圧によって一意的に定まることが前提となる．すなわち，チャネル内の自由電荷による電位変動を無視して解析することができる．このような場合，チャネル内のキャリアは拡散によってドレインに運ばれる．

このときの拡散電流は，バイポーラ素子のベース領域の電流解析と同様に

$$I_{DS} = -AqD_n \frac{\partial n}{\partial z} = \frac{AqD_n\{n(0) - n(L)\}}{L} \quad (21)$$

で与えられる．ここで， $A$  は電流経路の断面積， $n(0)$  および  $n(L)$  はそれぞれチャネルのソース端およびドレイン端における電子密度であり

$$n(0) = n_q \exp\left(\frac{q\psi_s}{k_B T}\right) \quad (22)$$

$$n(L) = n_q \exp\left(\frac{q(\psi_s - V_{DS})}{k_B T}\right) \quad (23)$$

である． $n_q$  は熱平衡状態での基板中の電子密度である．なお，電流経路の断面積はチャネルの幅  $W$  と弱反転層厚  $d$  との積で表される．このうち弱反転層の厚さ  $d$  は，近似的に電子密度が  $1/e$  に低下するシリコン/酸化膜界面からの距離と考えれば

$$d = \frac{k_B T}{q} \sqrt{\frac{\epsilon_s \epsilon_0}{2qN_A \psi_s}} \quad (24)$$

となる．したがって，弱反転層領域でのドレイン電流は以下の式で表される．

$$I_{DS} = \frac{W}{L} k_B T D_n n_q \sqrt{\frac{\epsilon_s \epsilon_0}{2qN_A \psi_s}} \exp\left(\frac{q\psi_s}{k_B T}\right) \left[1 - \exp\left(-\frac{qV_{DS}}{k_B T}\right)\right] \quad (25)$$

ただし，ゲート電圧  $V_{GS}$  と表面電位  $\psi_s$  との関係は次式で与えられる．

$$V_{GS} = \psi_s + \sqrt{\frac{2q\epsilon_s \epsilon_0 N_A \psi_s}{C_{ox}}} + V_{FB} \quad (26)$$

右辺第 1 項はシリコン基板内での電圧降下 (表面電位) であり，第 2 項は空乏層中のアクセプタイオンによる酸化膜中での電圧降下に相当する．ドレイン電流のゲート電圧依存性を見るときには，式 (25) と式 (26) とを連立して解けばよい．

解析的には式 (26) を弱反転領域内の中間電位  $\psi_s = 1.5\phi_F$  の付近で展開し， $\psi_s$  の 1 次の項までとると次式が得られる．

$$V_{GS} = V_{GS}^0 + \left(\frac{dV_{GS}^0}{d\psi_s}\right)(\psi_s - 1.5\phi_F) \quad (27)$$

ただし，上につけた添字 0 は  $\psi_s = 1.5\phi_F$  のときの値である．なお，式 (26) より

$$\frac{dV_{GS}}{d\psi_s} = 1 + \frac{C_D}{C_{ox}} \quad (28)$$

で表される． $C_D$  は空乏層容量である．これらの式を使って式 (25) を書き換えると

$$I_{DS} = I_{DS}^0 \exp\left(\frac{qV_{GS}}{mk_B T}\right) \left[1 - \exp\left(-\frac{qV_{DS}}{k_B T}\right)\right] \quad (29)$$

と近似できる．ただし， $m = (dV_{GS}/d\psi_s)^0$  である．したがって，上の式から明らかなように，弱反転層領域におけるドレイン電流はゲート電圧を増すと指数関数的に増加するが，ドレイン電圧依存性はほとんどない．すなわち，弱反転領域におけるドレイン電流は，ソース-弱反転層間のポテンシャル障壁を乗り越える電子数で律速される．

## 4 実験課題

アクセプタ濃度  $N_A$  や酸化膜厚  $t_{ox}$  を算出するためには，MOS 電界効果トランジスタの容量測定が必要とされるが，FET のゲート面積が小さく，配線容量等が支配的となり容量測定が不可能であるので，指導書を参考にしてアクセプタ濃度や酸化膜厚と静電容量との関係をよく理解しておくことが望ましい．

- (1) はじめに顕微鏡で MOS 電界効果トランジスタの形を確認する．
- (2)  $V_{GS}$  をパラメータにして  $I_{DS}-V_{DS}$  特性
- (3)  $V_{DS}$  をパラメータにして  $I_{DS}-V_{GS}$  特性

以上，MOS 電界効果トランジスタの静特性を測定し，グラフにプロットせよ． $I_{DS}-V_{DS}$ ， $I_{DS}-V_{GS}$  特性の測定回路を図 3 に示す．なおトランジスタはゲート幅 ( $W$ ) が  $20\mu\text{m}$  でゲート長 ( $L$ ) が異なる 2 つのものを測定する．

## 5 使用器具

$n$  チャネル MOS 電界効果トランジスタ，電流計，電圧計，直流電圧源，顕微鏡，プローバ

## 6 検討事項

- (1)  $V_{DS}$  の大きい領域での  $I_{DS}$  の  $V_{DS}$  に対する変化を式 (15) を用いて検討せよ．
- (2)  $I_{DS}-V_{GS}$  特性から  $V_T$  を求め，その理論値との比較および  $V_{DS}$  依存性について考察せよ．
- (3)  $V_{GS}$  が小さい領域での  $I_{DS}$  の変化を式 (29) を用いて考察せよ．

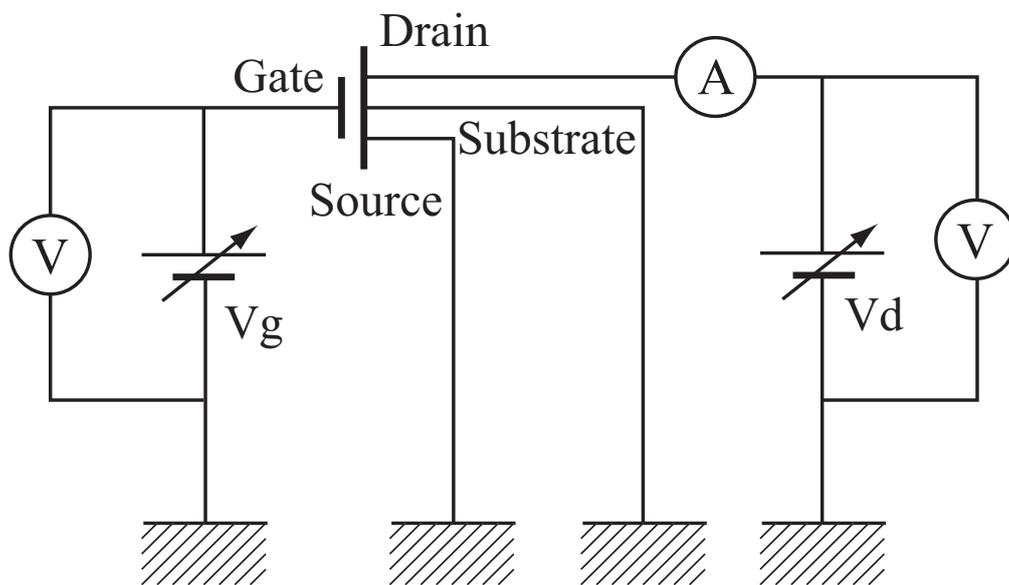


図3 測定回路

- (4) チャンネル内のキャリア移動度を  $dI_{DS}/dV_{DS}$  特性および  $dI_{DS}/dV_{GS}$  特性より算出し，垂直電界依存性を検討せよ．