

OKI 電子デバイス

MSM6947

作成：1998年 1月
前回作成：1996年 9月

1200bps FSKモデム BELL 202

■ 概要

MSM6947は、FSK-Frequency Shift Keying変調方式モデム用のLSIで、BELL 202に準拠したモデムを構成することができます。

このLSIは、変調器、復調器及びシリアル非同期データ伝送に必要なフィルタ類を備えており、従来のモデム装置と同等の性能を、簡単にしかも安価に実現できるように設計されています。同時に、当社の優れたCMOS LSI技術によって小形化、低電力化そして高信頼性を実現しました。

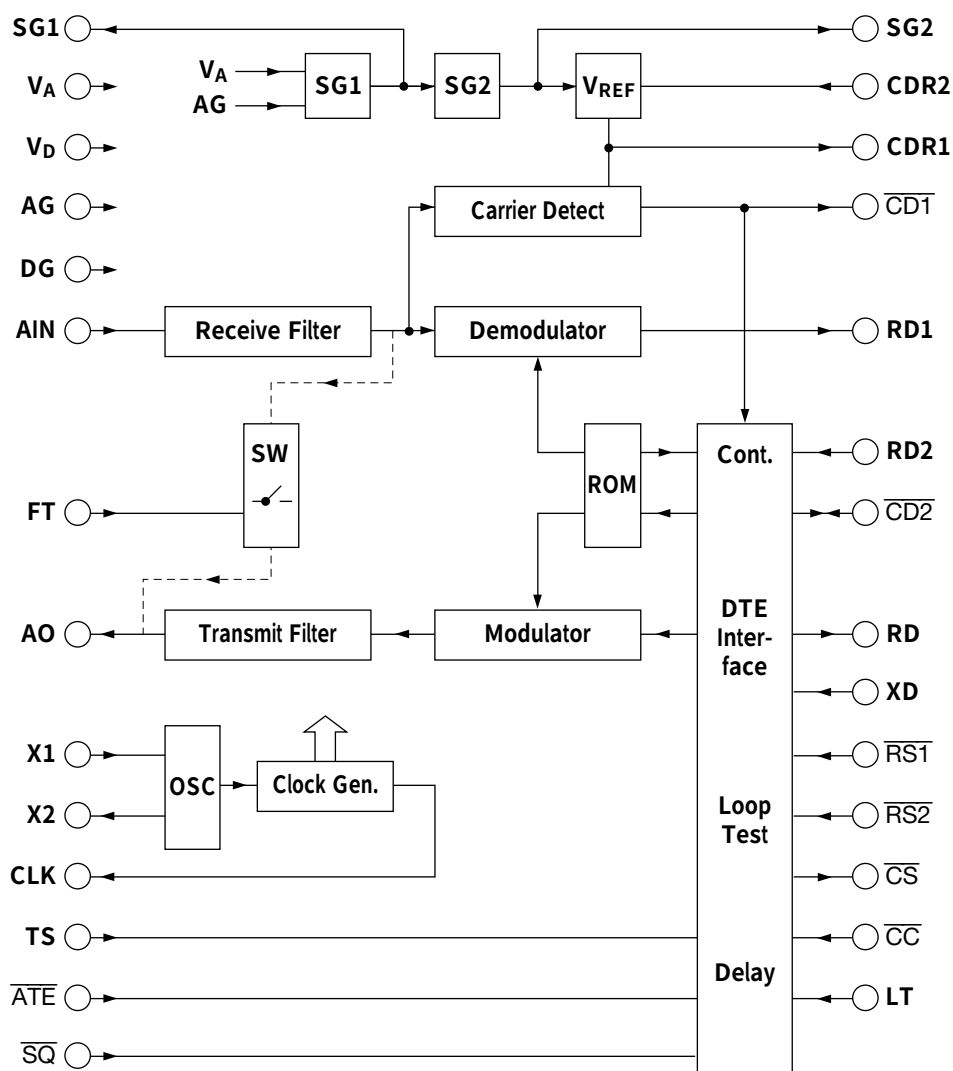
低速のモデム、音響カプラモデムの広い応用分野に適し、POSターミナル、パソコン、クレジット照会システムなどへの応用も可能です。

■ 特長

- BELL 202に準拠
- CMOSシリコンゲートプロセスLSI
- スイッチトキャパシタ及び最新CMOSアナログ回路技術
- データ伝送レート：0～1200bps
- 4線全2重動作可能
- 全フィルタ、変調器、復調器及びDTEインタフェース内蔵
- アンサトーン（2025Hz）送出可能
- 各種タイマ内蔵、外付けタイマも可能
- クリスタル発振回路内蔵—3.58MHz
- デジタル入出力：TTLコンパチブル
- 低消費電力：約90mW Typ.
- パッケージ：

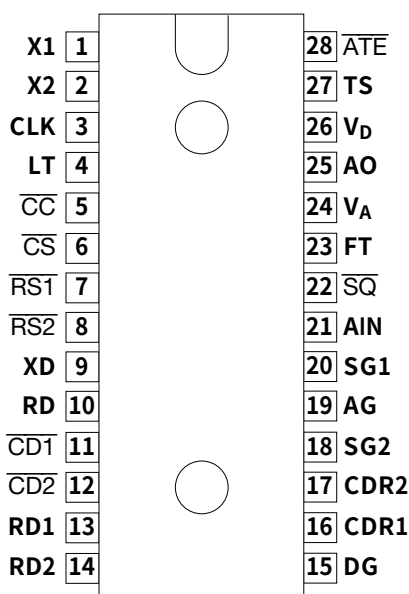
28ピンプラスチックDIP	（DIP28-P-600-2.54）	（製品名：MSM6947RS）
44ピンプラスチックQFP	（QFP44-P-910-0.80-K）	（製品名：MSM6947GS-K）

■ ブロック図

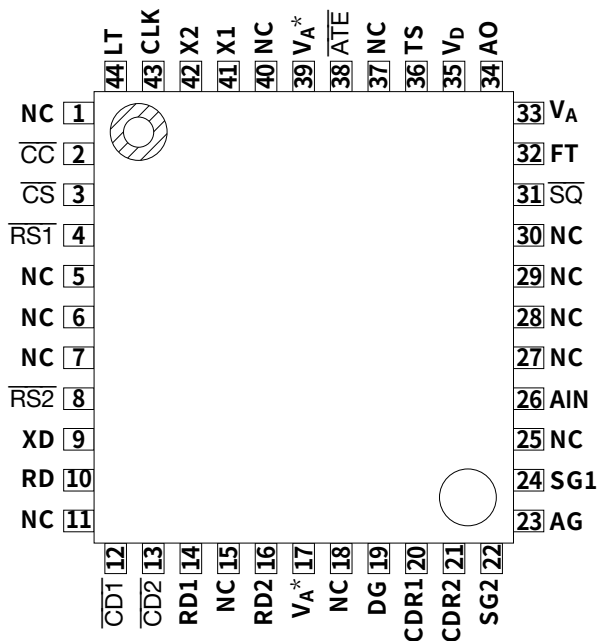


■ 端子接続（上面図）

28ピンプラスチックDIP



44ピンプラスチックQFP



*： 33ピンをVA用電源に接続して下さい。17ピンと39ピンは33ピンと同一電位になりますので、VAに接続するか、開放にするかのいずれかにして下さい。

<注>形名の現品への表示は簡略形を用い、M6947となります。

NC：未使用ピン

■ 端子機能説明

端子番号	端子名	説 明
1 (41)	X1	X1とX2は、3.579545MHzの共振周波数をもつクリスタル振動子に接続され、ICの動作に必要なクロックを発生します。外部クロックを使用するときはX2が入力となります。図6を参照して下さい。
2 (42)	X2	X1の項を参照して下さい。
3 (43)	CLK	873.9Hzのクロック出力です。これは主に、外付けタイマを構成するときに使用します。図7を参照して下さい。
4 (44)	LT	ループ試験を行うときに使用する制御入力端子です。 デジタル“1”を入力すると、XD及び $\overline{RS1}$ に入力されたデータはそれぞれRD、 $\overline{CS}$ に出力されます。また、このときAINの受信キャリア信号から復調された受信データは、RDに出力されず、変調器の入力データとなり、変調器の指定動作モードに従って変調キャリア信号を発生しますが、この信号をAOに出力するか、否かは $\overline{RS1}$ ではなく $\overline{CC}$ によって制御されます。図8を参照して下さい。通常動作時は、LTにデジタル“0”を入力します。
5 (2)	$\overline{CC}$	ループ試験時（LT=デジタル“1”）に、変調キャリア信号をAOに出力するか否かを制御します。デジタル“0”を入力したときAOに変調キャリア信号が出力され、デジタル“1”を入力したときは、出力されません。LT=デジタル“0”のとき、この端子は動作に無関係です。
6 (3)	$\overline{CS}$	Clear to Send出力端子です。変調器がデータを送出できる状態にあるか否かを示す出力で、デジタル“1”は送出的な状態にない（OFF）ことを示し、デジタル“0”は送出的な状態にある（ON）ことを示します。 $\overline{RS1}$ がデジタル“0”になってからRS/CS遅延時間経過後 $\overline{CS}$ はデジタル“0”になります。 $\overline{RS1}$ がデジタル“1”になると瞬時のうちに $\overline{CS}$ はデジタル“1”になります。
7 (4)	$\overline{RS1}$	Request to Send入力端子です。変調器をデータ送出状態（ON）にするときデジタル“0”を入力し、送出しない状態（OFF）にするときデジタル“1”を入力します。データ送出中はデジタル“0”に維持する必要があります。
8 (8)	$\overline{RS2}$	外付けのディレイタイマを使用するとき、その出力を $\overline{RS2}$ に入力します。 内蔵ディレイタイマを使用するときは、デジタル“0”又は“1”に固定して下さい。図7を参照して下さい。
9 (9)	XD	送信データ入力端子です。FSK変調されたのち、AOを経てラインに送出されます。デジタル“1”はマーク側周波数信号、デジタル“0”はスペース側周波数信号を指定します。 $\overline{RS1}$ がデジタル“0”になるとAOに信号が現れます。
10 (10)	RD	受信データ出力端子です。AINで受信されたFSK変調信号が復調されてシリアルデータとして出力されます。デジタル“1”はマーク、デジタル“0”はスペースを意味します。キャリア検出器の出力（ $\overline{CD2}$ ）がOFFすなわちデジタル“1”にあるとき、RDはデジタル“1”すなわちマーク状態に保持されます。

注記： 端子番号の（ ）内は44ピンQFPの場合を示す。

端子番号	端子名	説 明
11 (12)	$\overline{\text{CD1}}$	キャリア検出回路は内蔵ディレイタイマにLSI内部で接続されていますが、 $\overline{\text{CD1}}$ はその接続点を出力したものです。 すなわちディレイタイマを経る以前のキャリア検出力です。外付けのディレイタイマを使用するとき、その入力に $\overline{\text{CD1}}$ を接続し、外付けディレイタイマの出力を $\overline{\text{CD2}}$ (I/O端子) に入力します。このとき (TS=デジタル“1”) $\overline{\text{CD2}}$ は入力端子として動作します。図7、8を参照して下さい。
12 (13)	$\overline{\text{CD2}}$	キャリア検出データです。外付けディレイタイマを使用するときは、そのディレイタイマの出力を接続するための入力端子となりますが、いずれの場合も $\overline{\text{CD2}}$ の状態がキャリア検出の状態を示します。デジタル“0”はキャリア有、デジタル“1”はキャリア無を意味します。 $\overline{\text{CD1}}$ の項及び図7、8を参照して下さい。
13 (14)	RD1	RD1は図8に示されるごとく、復調器の出力で通常は論理インタフェース回路のRD2に直接入力され、制御されて、RDに出力されます。 NCU (Network Control Unit) などによって制御された復調器の出力データが、RD2として必要になる場合、RD1とRD2は外付けのゲート回路を経て接続されます。
14 (16)	RD2	RD1の項及び図8を参照して下さい。
15 (19)	DG	デジタル回路用電源 V_D のグランドです。システムグランドに十分近いポイントでAGと共通にして下さい。
16 (20)	CDR1	キャリア検出回路用の基準電圧出力です。図9に示すごとく外付け抵抗により、キャリア検出レベルを設定することができます。SG2に対し約+3Vが標準です。
17 (21)	CDR2	キャリア検出レベルを設定するための内蔵演算増幅器の反転入力端子で通常、図9に示すごとく2本の外付け抵抗が接続され、その比を調整することにより、適当なキャリア検出レベルに設定できます。この2本の抵抗の値の和は、50k Ω 以上となるよう選択して下さい。
18 (22)	SG2	内蔵信号グランドでキャリア検出回路にのみ使用されます。インピーダンスを小さくして性能を確保するために、デバイスに近いポイントで、0.01 μF 以上のコンデンサによってAGにバイパスして下さい。
19 (23)	AG	アナログ回路用電源 V_A のグランドです。システムグランドに十分近いポイントでDGと共通にして下さい。
20 (24)	SG1	内蔵信号グランドでキャリア検出回路以外の全てのアナログ回路に対するグランドになります。インピーダンスを小さくして、性能を確保するために、デバイスに近いポイントで、22 μF 以上のコンデンサによって、AGにバイパスして下さい。
21 (26)	AIN	受信信号入力端子です。本LSIはAINのFSK変調信号からデジタル情報のみをとりだし、RDにおけるシリアルデータとして出力します。50k Ω 以上の抵抗を介してSG1の電位を与えて下さい。

注記： 端子番号の () 内は44ピンQFPの場合を示す。

端子番号	端子名	説 明
22 (31)	$\overline{\text{SQ}}$	受信データスケルチコントロール端子です。デジタル“0”を入力すると、RS1がデジタル“0”の時、 $\overline{\text{CD2}}$ とRDはデジタル“1”に保持され、RS1がデジタル“1”に変わると、遅延時間 T_{SQ} の後 $\overline{\text{CD2}}$ とRDの保持は解除されます。2線式回線の半二重動作で使します。 デジタル“1”を入力すると、送信部と受信部は、独立した動作をします。4線式回線の全二重動作、又はアナロググループテストの時に使します。
23 (32)	FT	デバイスのテストのために使用する入力です。デジタル“1”を入力するとAOは送信フィルタの出力から切断され、受信フィルタの出力に接続されます。 通信動作時には、デジタル“0”に接続しなければなりません。
24 (33)	V_A	アナログ回路用電源です。推奨値は+12Vです。AGに対して雑音をもたないよう10 μ F程度のコンデンサでバイパスして下さい。
25 (34)	AO	送信信号出力端子です。本LSIはXDに入力された送信2値情報をFSK変調してAOからラインへ送出します。直流電位は V_A の約1/2にあります。負荷抵抗は50k Ω 以上にして下さい。通常、外付けの抵抗によってラインへの送出信号レベルを調整する必要があります。図5を参照して下さい。
26 (35)	V_D	デジタル回路用電源です。推奨値は、+5Vです。DGに対して雑音をもたないよう10 μ F程度のコンデンサでバイパスして下さい。
27 (36)	TS	デジタル“0”を入力すると、RS/ON→CS/ON、CD/ON、CD/OFF及び受信データスケルチ用ディレイタイマとして、内蔵のタイマが動作します。デジタル“1”を入力すると適当な外付けディレイタイマをつけることができますので、同時に全てのタイマを外付けで作らなければなりません。 このとき $\overline{\text{CD2}}$ は入力端子として動作します。 図7を参照して下さい。
28 (38)	$\overline{\text{ATE}}$	アンサトーン送出制御端子です。デジタル“0”をこの端子に入力し、かつ $\overline{\text{RS1}}$ がON状態（デジタル“0”レベル）になると、2025HzのアンサトーンがAOから出力されます。

注記： 端子番号の（ ）内は44ピンQFPの場合を示す。

■ 絶対最大定格

項 目	記号	条 件	定格値	単位
電源電圧	V _A	Ta=25℃ AG及びDGに対して	−0.3〜15	V
	V _D		−0.3〜7	
アナログ入力電圧 *1	V _{IA}		−0.3〜V _A +0.3	
デジタル入力電圧 *2	T _{ID}		−0.3〜V _D +0.3	
動作温度	T _{op}	—	0〜70	℃
保存温度	T _{stg}	—	−55〜150	
*1	CDR2, AIN			
*2	X1, LT, CC, RS1, RS2, XD, CD2(注) RD2, SQ, FT, TS, ATE			

注記： $\overline{CD2}$ は入力端子として使用したとき。

■ 推奨動作条件

項 目		記号	条 件	Min.	Typ.	Max.	単位
電源電圧		V_A	AGに対して	10.8	12.0	13.2	V
		V_D	DGに対して	4.75	5.00	5.25	
		AG,DG	—	—	0	—	
動作温度		T_{op}	—	0	—	70	°C
クリスタル	発振周波数	—	—	—	3.579545	—	MHz
	周波数偏差 (25°C±5%)	—	—	−200	—	200	ppm
	温度特性 (各動作温度内)	—	—	−200	—	200	ppm
	等価直列抵抗	—	—	—	—	90	Ω
	製作負荷容量	—	—	—	16	—	pF
R_1		—	トランス特性インピーダンス 600Ω	—	600	—	Ω
R_2		—	—	—	51	—	kΩ
R_3		—		—	51	—	
R_4		—		—	51	—	
R_5		—		—	51	—	
R_6		—		—	51	—	
R_7		—		—	51	—	
R_8		—		—	33	—	
R_9		—		—	51	—	
C_0, C_1		—		—	0.047	—	μF
C_2		—		—	2.2	—	
C_3		—		22	—	—	
C_4		—		0.01	—	—	
C_5		—		—	10	—	
C_6		—		—	10	—	

外付け部品については、図5を参照して下さい。

■ 電気的特性

● 直流及びデジタルインタフェース特性

($V_A=12V \pm 10\%$, $V_D=5V \pm 5\%$, $T_a=0 \sim 70^\circ\text{C}$)

項 目	記号	条 件	Min.	Typ.	Max.	単位
電源電流	I_A	通常動作時	—	7.5	15.0	mA
	I_D		—	1.0	2.0	
入力リーク電流	I_{IL}	$V_I=0V$	-10	—	10	μA
	I_{IH}	$V_I=V_D$	-10	—	10	
入力電圧	V_{IL}	—	0	—	0.8	V
	V_{IH}	—	2.2	—	V_D	
出力電圧	V_{OL}	$I_{OL}=1.6\text{mA}$	0	—	0.4	
	V_{OH}	$I_{OH}=400\mu\text{A}$	$0.8V_D$	—	V_D	

*1	LT, $\overline{\text{CC}}$, $\overline{\text{RS1}}$, $\overline{\text{RS2}}$, XD, $\overline{\text{CD2}}$ (注), RD2, $\overline{\text{SQ}}$, FT, TS, $\overline{\text{ATE}}$
*2	CLK, $\overline{\text{CS}}$, RD, $\overline{\text{CD1}}$, $\overline{\text{CD2}}$ (注), RD1

注記： $\overline{\text{CD2}}$ は入力／出力端子です。

● アナログインタフェース特性

送信キャリア出力 (AO)

($V_A=12V \pm 10\%$, $V_D=5V \pm 5\%$, $T_a=0 \sim 70^\circ\text{C}$)

項 目	記号	条 件	Min.	Typ.	Max.	単位
キャリア周波数	マーク "1"	クリスタル 3.579545MHz	1190	1200	1210	Hz
	スペース "0"		2190	2200	2210	
アンサートーン周波数	f_A	$\overline{\text{ATE}}="0"$	2019	2025	2031	
出力抵抗	R_{OXA}	—	—	—	200	Ω
出力負荷抵抗	R_{LXA}	—	50	—	—	k Ω
出力負荷容量	C_{LXA}	—	—	—	100	pF
送信信号レベル	V_{OXA}	—	4	6	8	dBm ^(注1)
出力直流電位	V_{OSX}	—	$\frac{V_A}{2} - 1$	$\frac{V_A}{2}$	$\frac{V_A}{2} + 1$	V
帯域外出力雑音 (対キャリア信号レベル)	E_{OX}	$C1=0.047\mu\text{F}$	図1参照			dB

注記： 1. 0dBm=0.775Vrms

受信キャリア入力 (AIN)

(V_A=12V±10%, V_D=5V±5%, T_a=0~70°C)

項 目	記号	条 件	Min.	Typ.	Max.	単位
入力抵抗	R _{IRA}	—	100	—	—	kΩ
受信信号レベル	V _{IRA}	—	-48	—	-6	(注1)
キャリア 検出レベル	ON	(注2) R ₈ =33kΩ R ₉ =51kΩ	—	—	-43	dBm
	OFF		-48	—	—	
キャリア検出レベル ヒステリシス幅	H _{YS}	V _{CDON} -V _{CDOFF}	0.5	—	—	dB

受信フィルタ

(V_A=12V±10%, V_D=5V±5%, T_a=0~70°C)

項 目	記号	条 件	Min.	Typ.	Max.	単位
群遅延歪	D _{DL}	1100~2300Hz	—	210	—	μs

受信フィルタの周波数特性は図2、図3を参照して下さい。

注記：1. 0dBm=0.775Vrms

2. R₈、R₉の値は標準値を示します。R₈を調整することにより、V_{CDON}を-43dBm以下、V_{CDOFF}を-48dBm以上の範囲内に設定することができます。この範囲外に設定することも可能ですがヒステリシス幅は保証されません。

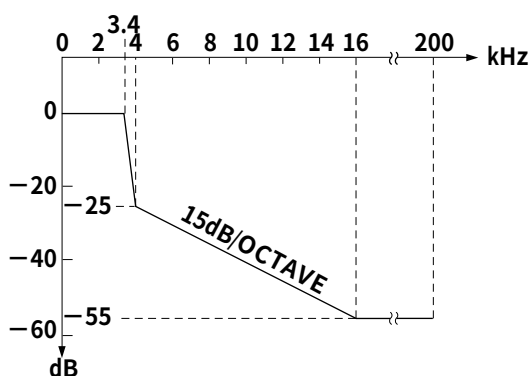


図1 帯域外出力雑音（対キャリア信号レベル）ただしC1=0.047μF

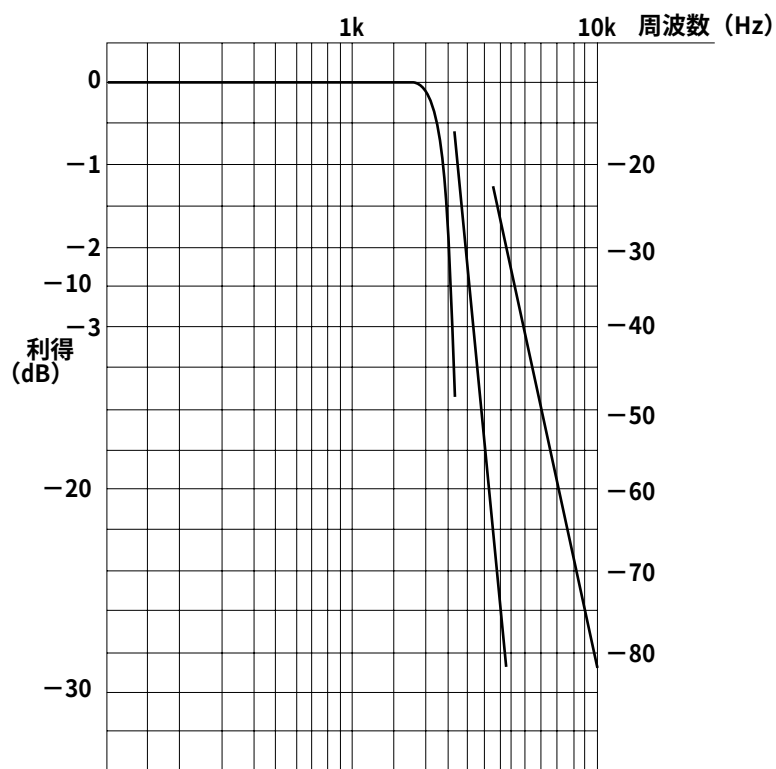


図2 送信フィルタ周波数特性

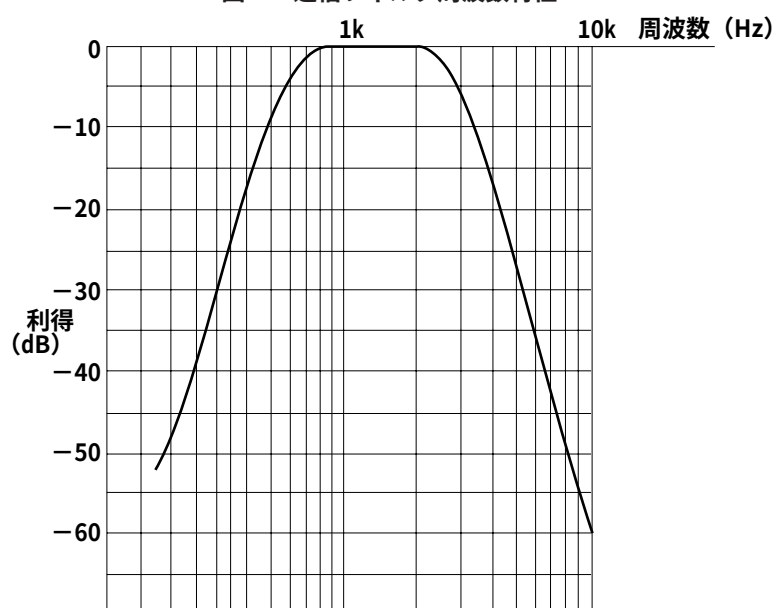


図3 受信フィルタ周波数特性

●受信符号特性

(V_A=12V±10%, V_D=5V±5%, T_a=0~70°C)

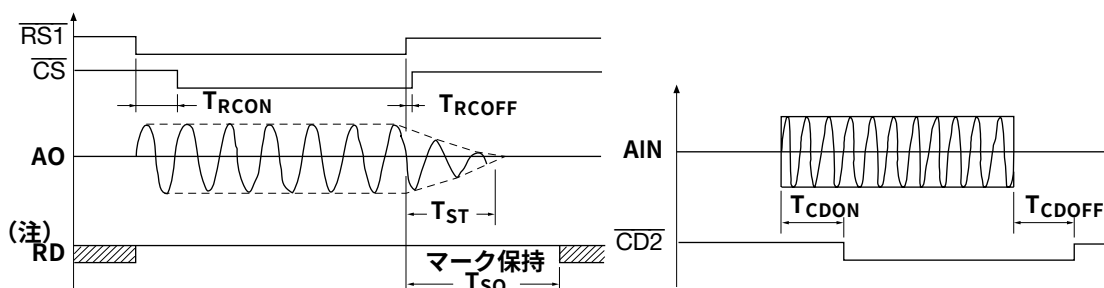
項 目	記号	条 件			Min.	Typ.	Max.	単位
符号歪率	ID	Back to Backにて受信レベル、 -6~-40dBm 511ビット テストパターン			—	9	—	%
ビット誤り率	BER	Back to Back 受信レベル =-25dBm 0.3~3.4kHz フラットノイズ 511テストパターン	S ／ N	8dB	—	10 ⁻³	—	—
				11dB	—	10 ⁻⁵	—	

●タイミング特性

(V_A=12V±10%, V_D=5V±5%, T_a=0~70°C)

項 目	記号	条 件	TS	Min.	Typ.	Max.	単位
RS/CS 遅延時間	T _{RCON}	$\overline{RS1}$ ="0" → $\overline{CS}$ ="0"	0	175	180	185	ms
			1	外付けディレイタイマ			
	T _{RCOFF}	$\overline{RS1}$ ="1" → $\overline{CS}$ ="1"	*	0	—	0.5	
CD/ON 遅延時間	T _{CDON}	—	0	15	—	35	
			1	外付けディレイタイマ			
CD/OFF 遅延時間	T _{CDOFF}	—	0	10	—	20	
			1	外付けディレイタイマ			
ソフトターンオフ時間	T _{ST}	—	*	—	10	—	
受信データスケルチ 遅延時間	T _{SQ}	$\overline{SQ}$ ="0" $\overline{RS1}$ ="1" → $\overline{RD}$ ="1" に保持する時間	0	—	156	—	
			1	外付けディレイタイマ			

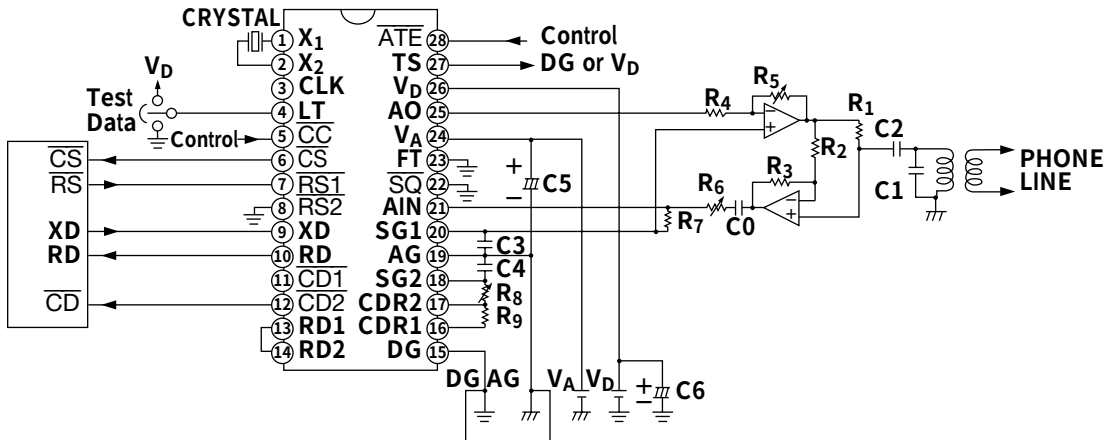
*： 無関係



注記： RDのタイミング波形図は2線式回線 ($\overline{SQ}$ =デジタル“0”) で使用のケースを示します。
4線式回線 ($\overline{SQ}$ =デジタル“1”) の場合は規定されません。

図4 タイミング波形図

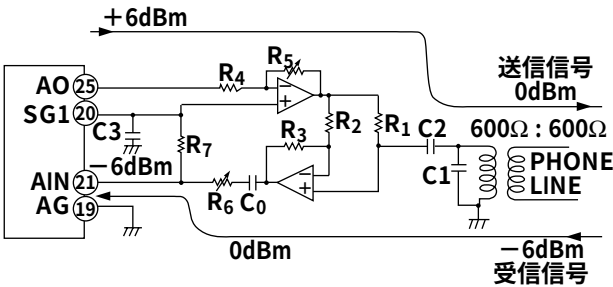
■ 応用回路例（MSM6947RSの端子番号で示します。）



＜注意事項＞

- (1) クリスタル発振子は、できるだけ本ICに接近させて取り付けして下さい。
- (2) 高レベル信号ラインと低レベル信号ラインの接近は避けて下さい。
- (3) バイパスコンデンサC3～C6はできるだけ本ICに接近させて取り付けして下さい。
- (4) ADとDGは、ICの近くで接続して下さい。
- (5) 外付けのオペアンプの電源は、V_AとAGを使用して下さい。
- (6) 図は2線式回線（一般交換網など）での使用例を示します。

図5-1 使用回路構成例



注記： AINの信号レベルは-6dBmを超えないこと。

C ₀ , C ₁	0.047μF	R ₂	51kΩ	R ₆	(51kΩ) 受信信号レベル
C ₂	2.2μF	R ₃	51kΩ	R ₇	51kΩ
C ₃	22μF	R ₄	51kΩ	R ₈	(33kΩ) キャリア検出レベル
R ₁	600Ω	R ₅	(51kΩ) 送信信号レベル	R ₉	51kΩ

図5-2 ラインインタフェース信号レベル設計例

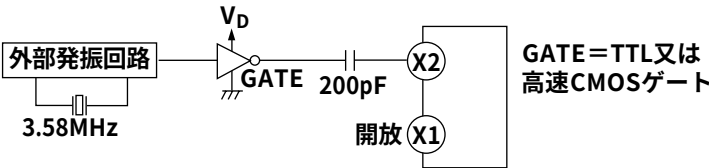


図6 外部クロックの使用例

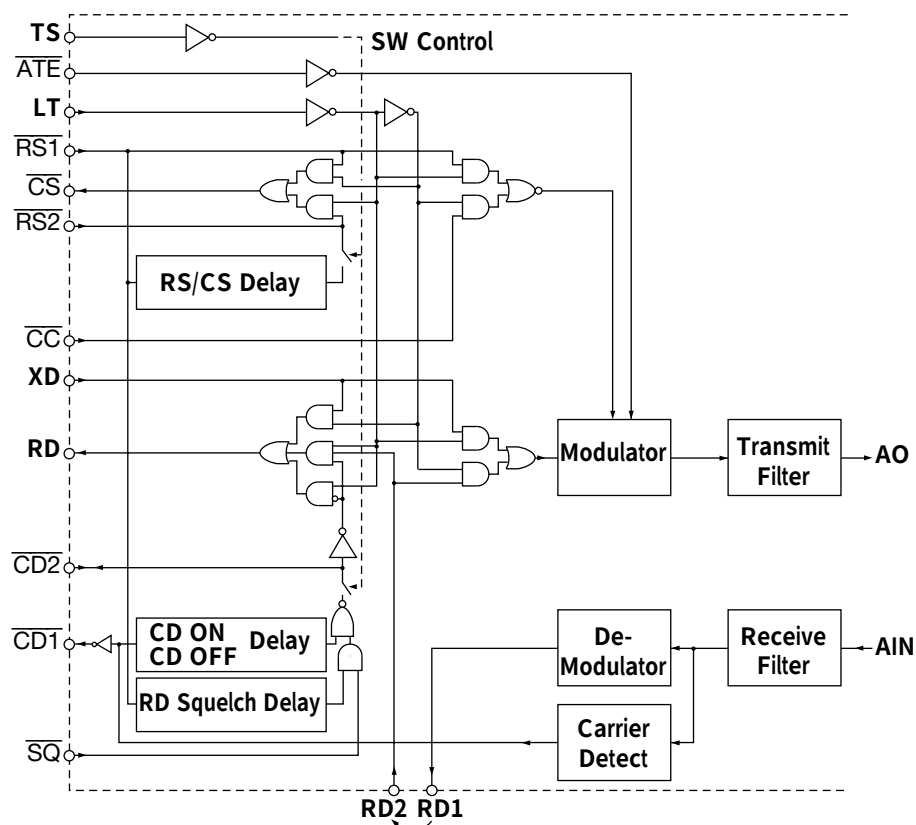


図8 論理インタフェース回路

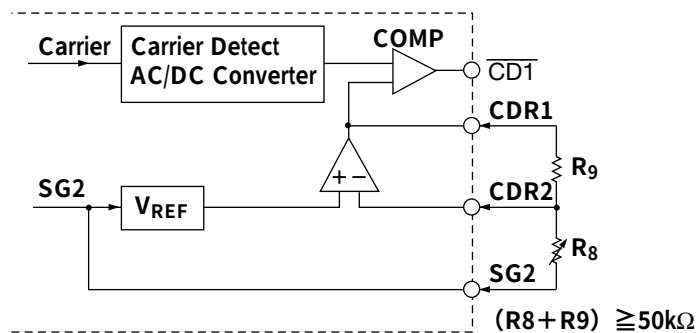
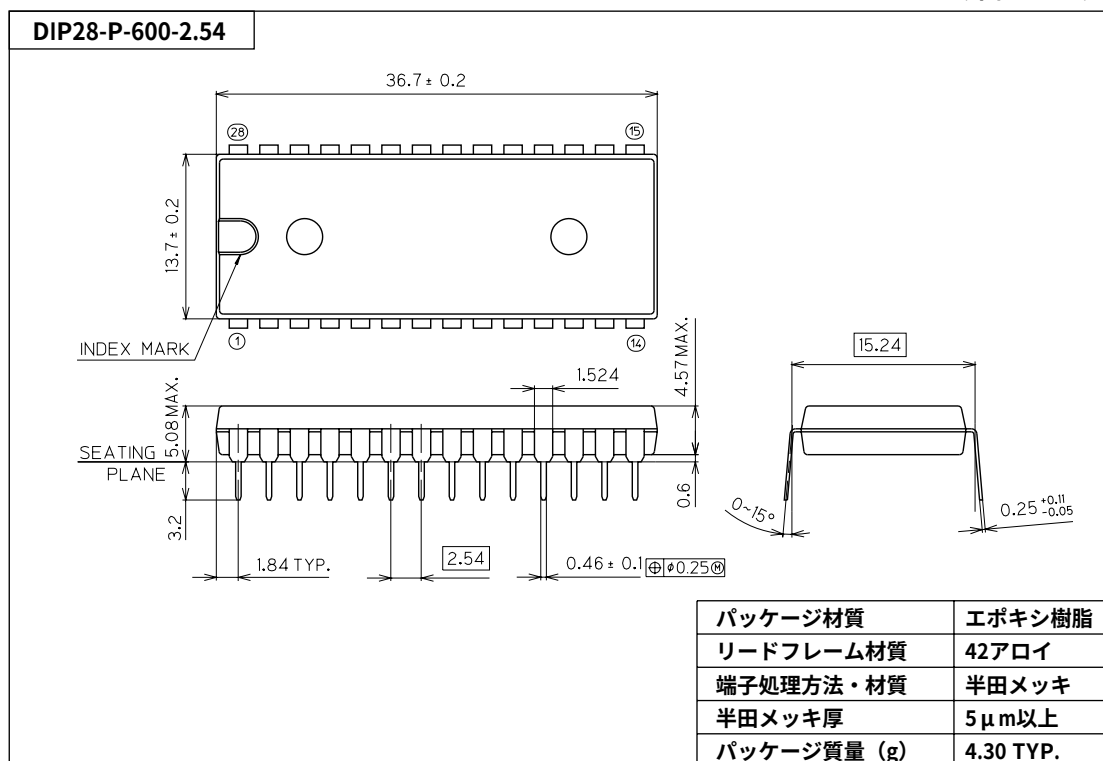


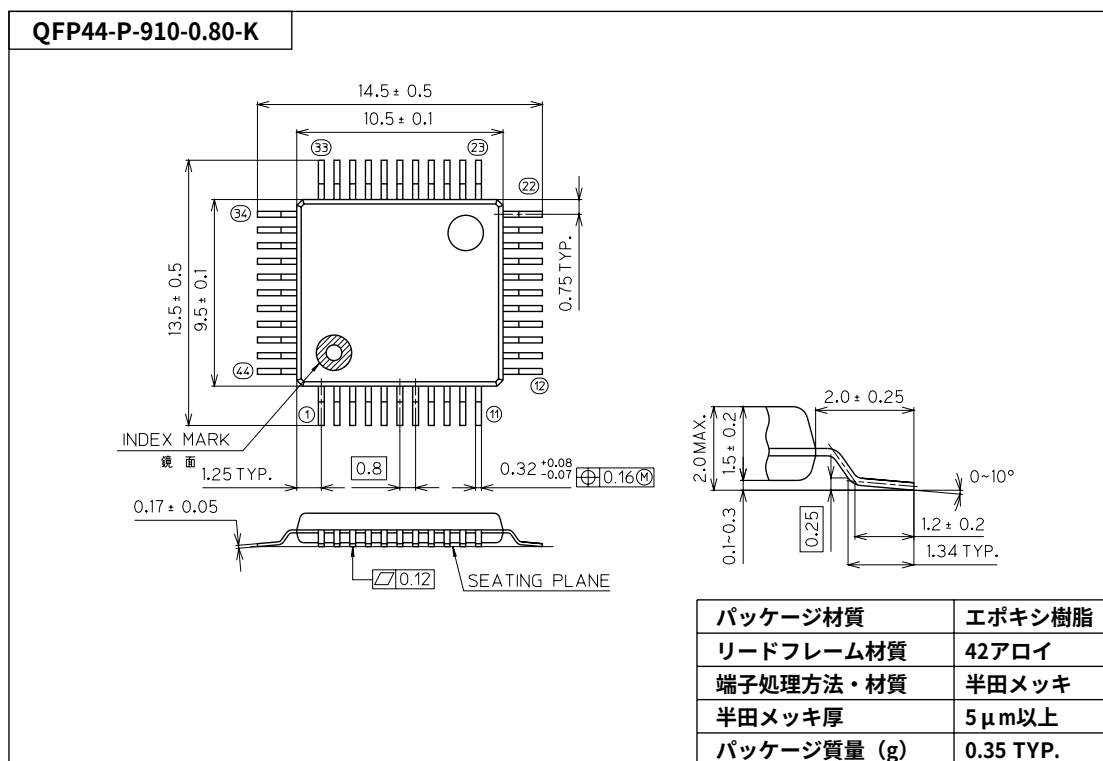
図9 キャリア検出レベル設定回路

■ パッケージ寸法図

(単位：mm)



(単位：mm)



表面実装型パッケージ実装上のご注意

SOP、QFP、TSOP、TQFP、LQFP、SOJ、QFJ (PLCC)、SHP、BGA等は表面実装型パッケージであり、リフロー実装時の熱や保管時のパッケージの吸湿量等到大変影響を受けやすいパッケージです。

したがって、リフロー実装の実施を検討される際には、その製品名、パッケージ名、ピン数、パッケージコード及び希望されている実装条件（リフロー方法、温度、回数）、保管条件などを弊社担当営業まで必ずお問い合わせください。